

PCT/JP 03/16033

PCT

REC'D PCT/PTO 07 JUL 2005

15.12.03

日本国特許庁

JAPAN PATENT OFFICE

10/541583

REC'D 09 JAN 2004
WIPO
PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月 7日

出願番号
Application Number: 特願2003-000842
[ST. 10/C]: [JP2003-000842]

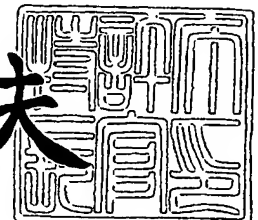
出願人
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 33409949

【提出日】 平成15年 1月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/338

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 岡本 康宏

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 宮本 広信

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 安藤 裕二

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中山 達峰

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 井上 隆

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 葛原 正明

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100110928

【弁理士】

【氏名又は名称】 速水 進治

【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 138392

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110433

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタ

【特許請求の範囲】

【請求項 1】 ヘテロ接合を含むIII族窒化物半導体層構造と、
該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物
半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、

前記絶縁膜が、シリコンおよび窒素を構成元素として含む第一の絶縁膜と、前
記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜とを含む積層膜である
ことを特徴とする電界効果トランジスタ。

【請求項 2】 請求項 1 に記載の電界効果トランジスタにおいて、
前記第一の絶縁膜は前記III族窒化物半導体層構造の表面に接して形成され、
前記第二の絶縁膜が前記第一の絶縁膜上に積層されたことを特徴とする電界効果
トランジスタ。

【請求項 3】 請求項 1 または 2 に記載の電界効果トランジスタにおいて、
前記第一の絶縁膜が 150 nm 以下であることを特徴とする電界効果トランジ
スタ。

【請求項 4】 請求項 1 乃至 3 いずれかに記載の電界効果トランジスタにお
いて、

前記第二の絶縁膜の比誘電率が 3.5 以下であることを特徴とする電界効果ト
ランジスタ。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の電界効果トランジスタに
おいて、

前記第二の絶縁膜上に、シリコンおよび窒素を構成元素として含む第三の絶縁
膜をさらに備えることを特徴とする電界効果トランジスタ。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の電界効果トランジスタに
おいて、

第一および第二の絶縁膜を含む積層膜からなる前記絶縁膜が、前記ゲート電極から離間して設けられ、この離間部分に前記第二の絶縁膜が設けられていることを特徴とする電界効果トランジスタ。

【請求項 7】 ヘテロ接合を含むIII族窒化物半導体層構造と、
該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、
前記絶縁膜はシリコンおよび窒素を構成元素として含むことを特徴とする電界効果トランジスタ。

【請求項 8】 ヘテロ接合を含むIII族窒化物半導体層構造と、
該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、
前記絶縁膜がシリコン、酸素および炭素を構成元素として含む絶縁膜であることを特徴とする電界効果トランジスタ。

【請求項 9】 請求項 7 に記載の電界効果トランジスタにおいて、
前記絶縁膜は、さらに酸素または／および炭素を構成元素として含むことを特徴とする電界効果トランジスタ。

【請求項 10】 ヘテロ接合を含むIII族窒化物半導体層構造と、
該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、
前記絶縁膜は；

前記ゲート電極側は窒素を構成元素として含まない絶縁材料により構成され、
前記ドレイン電極側はシリコンおよび窒素を構成元素として含む絶縁材料により構成されていることを特徴とする電界効果トランジスタ。

【請求項 11】 請求項 10 に記載の電界効果トランジスタにおいて、前記絶縁膜のうち前記ドレイン電極側に設けられる絶縁材料が、シリコンおよび窒素の他、さらに酸素または／および炭素を構成元素として含むことを特徴とする電界効果トランジスタ。

【請求項 12】 ヘテロ接合を含む III 族窒化物半導体層構造と、
該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、
前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、
を備え、

前記ゲート電極と前記ドレイン電極との間の領域において、前記 III 族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、

前記絶縁膜の比誘電率が 3.5 以下であることを特徴とする電界効果トランジスタ。

【請求項 13】 請求項 1 乃至 12 いずれかに記載の電界効果トランジスタにおいて、

前記 III 族窒化物半導体層構造は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) からなるチャンネル層および $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1$) からなる電子供給層を含むことを特徴とする電界効果トランジスタ。

【請求項 14】 請求項 1 乃至 13 いずれかに記載の電界効果トランジスタにおいて、

前記ソース電極と前記 III 族窒化物半導体層構造の表面との間および前記ドレイン電極と前記 III 族窒化物半導体層構造の表面との間に、コンタクト層が介在することを特徴とする電界効果トランジスタ。

【請求項 15】 請求項 14 に記載の電界効果トランジスタにおいて、
前記コンタクト層がアンドープ AlGaN 層により構成されていることを特徴とする電界効果トランジスタ。

【請求項 16】 請求項 14 または 15 に記載の電界効果トランジスタにお

いて、

前記電界制御電極は、前記コンタクト層の上部まで延在していることを特徴とする電界効果トランジスタ。

【請求項 17】 請求項 1 乃至 16 いずれかに記載の電界効果トランジスタにおいて、

前記III族窒化物半導体層構造は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) からなるチャネル層、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1$) からなる電子供給層およびGaNからなるキャップ層がこの順で積層した構造を有することを特徴とする電界効果トランジスタ。

【請求項 18】 請求項 1 乃至 17 のいずれかに記載の電界効果トランジスタにおいて、前記電界制御電極が前記ゲート電極に対して独立に制御可能であることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、III族窒化物半導体を用いた電界効果トランジスタに関するものである。

【0002】

【従来の技術】

GaNをはじめとするIII族窒化物半導体は、バンドギャップが大きく、絶縁破壊電界が高く、電子の飽和ドリフト速度が大きい上、ヘテロ接合による二次元キャリアガスの利用が可能であるため、高温動作、高速スイッチング動作、大電力動作等の点で優れる電子素子を実現する材料として期待を集めている。

【0003】

こうしたIII族窒化物半導体を用いたトランジスタでは、基板表面に大きな負電荷が発生し、トランジスタ性能に大きな影響を与える。以下、この点について説明する。

【0004】

アンドープGaNの上にAlGaNを成長すると、自発分極とピエゾ分極との

両作用によりヘテロ界面に正の固定電荷が発生する。このとき AlGaIn 表面には負の分極電荷が発生する。分極電荷濃度は AlGaIn の組成によって変化するが、 AlGaIn/GaN ヘテロ構造では、 $1 \times 10^{13} / \text{cm}^2$ オーダーの極めて大きなシート電子濃度が発生する。この現象は、例えば、非特許文献 1 において詳しく解説されている。このヘテロ構造にオーミック電極を形成し電極間に電界を印加すると、 $1 \times 10^{13} / \text{cm}^2$ オーダーの高電子濃度の電荷輸送に基づく電流が流れる。このように、III 族窒化物半導体素子では、不純物のドーピングにより発生したキャリアにより駆動する GaAs 系半導体 FET とは異なり、自発分極とピエゾ分極との両作用により発生する高濃度のキャリアによって動作する。

【0005】

このような機構により動作する III 族窒化物半導体トランジスタにおいては、利得を良好にしつつ耐圧をあげることが要望される。耐圧を改良する方法として、従来、以下の技術が知られている。

【0006】

非特許文献 2 には、ゲート電極のドレイン側にひさし状のフィールドプレートを設け、この下に SiN 膜を配置した構成が記載されている。図 18 に、この HJFET の概略構造を示す。この HJFET は、 SiC 基板 110 上に形成される。基板 110 上には半導体層からなるバッファ層 111 が形成されている。このバッファ層 111 上に GaN チャンネル層 112 が形成されている。チャンネル層の上には、 AlGaIn 電子供給層 113 が形成されている。この電子供給層上にはオーム性接触がとられたソース電極 101 およびドレイン電極 103 があり、その間にフィールドプレート 105 およびショットキー性接触がとられたゲート電極 102 がある。電子供給層 113 の表面は SiN 膜 121 で覆われており、フィールドプレート部 105 の直下にはこの SiN 膜 121 が配置されている。同文献によれば、こうした構成を採用することによりゲート耐圧が改善されると記載されている。

【0007】

特許文献 1 には、 GaAs 系半導体素子において、ゲート電極とドレイン電極

との間に電界制御電極を設ける技術が開示されている。同文献には、こうした電界制御電極を設けることにより、ゲート電極のドレイン側端部における電界集中が緩和され、素子性能が向上することが記載されている。

【0008】

こうした技術は、トランジスタの耐圧を向上させる点では効果的であるが、ヘテロ接合を含むIII族窒化物半導体素子の設計にあつては、このような改善のみでは必ずしも充分とはいえない。III族窒化物半導体素子においては、ヘテロ接合部でキャリアガスが発生するのにもとない半導体層構造表面に負電荷が誘起され、これがトランジスタの諸特性に大きな影響を及ぼすことから、耐圧の向上等も、表面負電荷の制御技術と一体に検討されなければならないからである。以下、この点について説明する。

【0009】

ヘテロ接合を含むIII族窒化物半導体の積層構造では、ピエゾ分極等によりチャネル層に大きな電荷が発生する一方、AlGa_N等の半導体層表面に負電荷が発生することが知られている（非特許文献1）。こうした負電荷は、ドレイン電流に直接作用し、素子性能に強い影響を及ぼす。具体的には、表面に大きな負電荷が発生すると交流動作時の最大ドレイン電流が直流時に比べて劣化する。この現象を以下、コラプスと称する。コラプスはIII族窒化物半導体を用いた素子に顕著に発生し、GaAs系半導体素子では顕在化していなかった。AlGaAs/GaAs系ヘテロ接合では分極電荷の発生は極めて小さいためである。

【0010】

こうした問題に対し、従来、SiNからなる表面保護膜を形成することで対応がなされていた。SiNを設けない構造では高電圧印加時に十分な電流が得られず、Ga_N系半導体材料を用いるメリットを得ることが困難である。こうした事情を踏まえ、III族窒化物半導体FETの分野では、表面にSiN膜を設けることが必須であるという共通認識があり、技術常識となっていた。以下、こうした従来のトランジスタの一例について説明する。

【0011】

図17は、従来技術によるヘテロ接合電界効果トランジスタ（Hetero-Junctio

n Field Effect TranSistor; 以下 H J F E T という) の断面構造図である。このような従来技術の H J F E T は、例えば非特許文献 3 に報告されている。この H J F E T は、サファイア基板 109 の上に A l N からなるバッファ層 111、G a N チャンネル層 112 および A l G a N 電子供給層 113 がこの順で積層されている。その上にソース電極 101 とドレイン電極 103 が形成されており、これらの電極は A l G a N 電子供給層 113 にオーム性接触している。また、ソース電極 101 とドレイン電極 103 の間にゲート電極 102 が形成され、このゲート電極は A l G a N 電子供給層 113 にショットキー性接触している。最上層には表面保護膜として S i N 膜 121 が形成されている。

【0012】

【非特許文献 1】

U.K.Mishra, P.Parikh, and Yi-Feng Wu, "AlGaN/GaN HEMTs -An overview of device operation and applications," Proc. IEEE, vol.90, No.6, pp. 1022-1031, 2002.

【非特許文献 2】

2001 年エレクトロニクス・レターズ (Electronics Letters vol.37 p.196-197)、L i 等

【非特許文献 3】

2001 年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト (IEDM01-381~384)、安藤 (Y.Ando)

【特許文献 1】

特開 2000-3919 号公報

【0013】

【発明が解決しようとする課題】

ところが、こうした S i N を設けた構成では、コラプスが改善する代わりにゲート耐圧が低下する。すなわち、コラプス量とゲート耐圧の間にトレードオフが存在し、その制御が非常に困難となる。図 19 は、電界制御電極を設けない図 17 の構造を有する H J F E T を試作し、表面保護膜 S i N の厚さとコラプス量およびゲート耐圧の関係を評価した結果を示す。図中、丸印がコラプス、三角印が

ゲート耐圧に対応する。

【0014】

このようにコラプスが顕著な素子の表面にSiN膜を形成すると、コラプス量を減らすことができる。図19を参照して、SiN膜がない場合（膜厚0nm）では60%以上のコラプス量であるが、SiN膜厚100nmとした場合、コラプス量は10%以下に抑制できる。このようにコラプスを十分に低減するためには、SiN膜の厚みを一定程度厚くすることが必要となる。しかしながら、SiN膜を厚くした場合、表面負電荷が打ち消され、ゲートドレイン間の電界集中が顕著になり、ゲート耐圧が低下する。すなわち、コラプスとゲート耐圧の間にトレードオフが存在する。

くわえて、コラプスを十分に低減するためにSiN膜を厚くした場合、電界制御電極直下絶縁膜の膜質経時劣化により信頼性が低下する。すなわち、コラプスと信頼性に関してもトレードオフが存在する。

【0015】

以上のように、SiN膜を保護膜とするGaN系HJFETでは、こうした複数のトレードオフが存在し、それぞれSiN膜の厚さの違いによってそのバランスが定まる。これは、ヘテロ界面を持つIII族窒化物半導体素子に特有の表面負電荷に起因する事情であり、III族窒化物半導体素子の設計にあたっては、こうした表面負電荷の取扱いに十分に配慮する必要がある。

【0016】

なお、SiN膜に代え、SiO₂膜を保護膜とする場合、コラプスとゲート耐圧の関係は図20のようになる（この場合も図17に示す構成のもので、電界制御電極を設けない構成の場合である）。この場合、膜厚依存性は現れないが、SiN膜を用いた場合と同様、コラプスとゲート耐圧を両立させることは困難である。

【0017】

このように、GaNをはじめとするIII族窒化物半導体からなるHJFETに特有の事情から、かかる素子の性能向上を検討するにあたっては、GaAs系半導体素子の設計とは異なる観点からの検討が必要となる。

【0018】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、コラプスおよびゲート耐圧のバランスに優れたトランジスタを提供することにある。また本発明の別の目的は、コラプスおよびゲート耐圧の性能のバランスにくわえ、さらに、信頼性および高周波特性の優れるトランジスタを提供することにある。

【0019】

【課題を解決するための手段】

AlGa_N表面に発生する負の分極電荷は、その上に堆積する保護膜（パッシベーション膜）の電気的性質によってそのFET特性に大きな影響を与える。一般に表面に大きな負の固定電荷が存在すると、大きなゲート耐圧が得られるが、交流動作時の最大ドレイン電流が直流時に比べて劣化する傾向が見られる。一方、表面の負電荷量が小さいと、逆にゲート耐圧は小さいが交流動作時の最大ドレイン電流の劣化も少ない。FETの動作は、一般にこのトレードオフ関係に支配されるが、AlGa_N/Ga_Nヘテロ構造では、表面に $1 \times 10^{13} / \text{cm}^2$ オーダーの負電荷が発生するため、表面パッシベーションの品質により、前述のトレードオフ関係が極めて顕著に現れる。耐圧の値が、表面パッシベーションの状態の違いにより1桁以上変化することも珍しくない。このように大きな変化は、GaAs系FETでは見られない現象である。逆にいえば、Ga_N系FETは表面状態に極めて敏感なデバイスであり、その電気特性において高い性能を高歩留まりで安定的に得るためには、表面パッシベーション膜の制御に細心の注意を払う必要がある。

【0020】

本発明者は、こうした観点から検討を進め、電界制御電極を備える素子電極構造にするとともに、電界制御電極下の保護膜を特定の材料、特定の構造、とすることにより、これらの相乗作用により前記したトレードオフにおける性能のバランスを有効に改善できることを見いだした。さらに本発明の構成では電界制御電極を独立制御できるため、コラプスを有効に低減でき、さらに、利得の低下も抑制できるという非常に優れたトランジスタを実現できることを見いだした。本発

明は、こうした新規な知見に基づきなされたものである。

【0021】

以下、本発明の構成について説明する。

【0022】

本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、を備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜が、シリコンおよび窒素を構成元素として含む第一の絶縁膜と、前記第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜とを含む積層膜であることを特徴とする電界効果トランジスタが提供される。

【0023】

本発明によれば、電界制御電極を備えるとともに、この電界制御電極と半導体層構造の表面との間に、上記構成の積層膜が形成された構成を有している。このため、これらの相乗作用により、コラプスおよびゲート耐圧のバランスが顕著に改善される。また、製造プロセス上等のばらつきにより表面状態が変動した場合でも、こうした良好な性能を安定して実現することができる。

【0024】

また、本発明は、表面負電荷の影響を低減するための第一の絶縁膜を設けつつ、電界制御電極直下の容量を低減するための第二の絶縁膜を設けている。すなわち、第一の絶縁膜の作用により表面負電荷の影響が低減される一方、第一の絶縁膜よりも低い比誘電率を有する第二の絶縁膜、たとえば、窒素を含有しない膜によりゲート耐圧が向上する。さらに、電界制御電極下の領域における絶縁膜の膜質経時劣化および容量の増大を有効に抑制することができ、信頼性および高周波利得に優れるトランジスタが得られる。

【0025】

ここで、前記第一の絶縁膜は前記III族窒化物半導体層構造の表面に接して形成され、前記第二の絶縁膜が前記第一の絶縁膜上に積層された構成とすることが

できる。こうすることによりコラプスの改善がより顕著となる。第一の絶縁膜は、好ましくは150 nm以下、より好ましくは100 nm以下とする。こうすることによって、電界制御電極下の容量を確実に低減でき、高周波利得が向上する。

【0026】

本発明において、第二の絶縁膜の比誘電率を3.5以下としてもよい。こうすることによって、電界制御電極下の容量を低減でき、さらに利得が向上する。

【0027】

また本発明において、第二の絶縁膜上に、シリコンおよび窒素を構成元素として含む第三の絶縁膜をさらに備えた構成としてもよい。絶縁膜の最上層をシリコンおよび窒素を構成元素として含む化合物により構成することにより、この素子の製造工程においてレジストを安定的に形成しやすくなる等の利点が得られる。この結果、上記のように性能が改善されたトランジスタを製造する際の歩留まりを向上させることができる。

【0028】

また本発明において、第一および第二の絶縁膜を含む積層膜からなる前記絶縁膜が、前記ゲート電極から離間して設けられ、この離間部分に前記第二の絶縁膜が設けられている構成とすることができる。こうすることにより、コラプスおよびゲート耐圧の性能バランスをより顕著に改善することができる。

【0029】

さらに本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極とを備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜はシリコンおよび窒素を構成元素として含むことを特徴とする電界効果トランジスタが提供される。

【0030】

また本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース

電極と前記ドレイン電極の間に配置されたゲート電極と、を備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜がシリコン、酸素および炭素を構成元素として含む絶縁膜であることを特徴とする電界効果トランジスタが提供される。

【0031】

本発明によれば、電界制御電極とその下の絶縁膜との相乗作用により、コラプスおよびゲート耐圧のバランスが顕著に改善される。

【0032】

上記化合物は、さらに酸素や炭素等を構成元素として含んでいても良い。こうすれば、絶縁膜の材料が、シリコン、窒素にくわえ、酸素や炭素を構成元素として含むこととなるため、SiN等比膜中の内部応力が顕著に低減される。このため、比較的良好なコラプスおよびゲート耐圧を実現しつつ、電界制御電極直下の領域に位置する絶縁膜の膜質劣化を有効に抑制することができる。また、SiNに比べて比誘電率が低くなるため、電界制御電極下の領域に発生する容量を低減できる。以上により、本発明によれば、信頼性および高周波利得に優れるトランジスタが得られる。

【0033】

本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、を備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜は、前記ゲート電極側は窒素を構成元素として含まない絶縁材料により構成され、前記ドレイン電極側はシリコンおよび窒素を構成元素として含む絶縁材料により構成されていることを特徴とする電界効果トランジスタが提供される。

【0034】

この電界効果トランジスタにおいて、前記絶縁膜のうち前記ドレイン電極側に設けられる絶縁材料が、シリコンおよび窒素の他、さらに酸素または／および炭

素を構成元素として含む構成とすることができる。

【0035】

本発明によれば、上記絶縁膜が、ゲート電極側においては窒素を含まない比較的誘電率の低い材料により構成されているため、電界制御電極、半導体層構造およびこれらの間の絶縁膜により構成される容量を小さくすることができる。この結果、ゲート耐圧と、信頼性および高周波利得との性能バランスに優れるトランジスタが得られる。また、ドレイン電極側においては、シリコン、窒素および酸素を構成元素として含む化合物、たとえばSiNが形成されるため、表面負電荷による性能低下を低減することができる。

【0036】

また本発明によれば、ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極の間に配置されたゲート電極とを備え、前記ゲート電極と前記ドレイン電極との間の領域において、前記III族窒化物半導体層構造の上部に絶縁膜を介して電界制御電極が形成され、前記絶縁膜の比誘電率が3.5以下であることを特徴とする電界効果トランジスタが提供される。

【0037】

本発明によれば、電界制御電極を備えるとともに、この電界制御電極と半導体層構造の表面との間に、上記構成の低誘電率膜が形成されている。電界制御電極直下の領域に低誘電率膜が形成されているため、この領域に位置する絶縁膜に高電圧が印加されることを回避できる。これにより、電界制御電極下の絶縁膜の膜質経時劣化が有効に抑制され、素子の信頼性が顕著に向上する。また、低誘電率膜の利用により、電界制御電極、半導体層構造およびこれらの間の絶縁膜により構成される容量を小さくすることができるので、高周波利得も改善される。この結果、本発明によれば、特にゲート耐圧と、信頼性および高周波利得との性能バランスに優れるトランジスタが得られる。なお、本発明における比誘電率3.5以下の絶縁膜は単層膜でも積層膜でもよく、比誘電率の平均値が3.5以下であればよい。

【0038】

以上本発明に係るトランジスタの構成について説明したが、これらの構成において、以下の構成を組み合わせても良い。

【0039】

前記III族窒化物半導体層構造は、たとえば $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) からなるチャネル層および $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1$) からなる電子供給層を含む構成とすることができる。チャネル層および電子供給層の積層順序は任意である。この半導体層構造に、適宜、中間層やキャップ層を設けても良い。

【0040】

前記ソース電極と前記III族窒化物半導体層構造の表面との間および前記ドレイン電極と前記III族窒化物半導体層構造の表面との間に、コンタクト層が介在する構成としてもよい。コンタクト層を備える構成は、いわゆるワイドリセス構造とよばれる。かかる構成を採用した場合、電界制御電極およびその直下の絶縁膜構造との相乗作用により、ゲート電極のドレイン側端部の電界集中をより効果的に分散・緩和することができる。なおリセス構造とする場合、多段リセスとすることもできる。こうした構成を採用する場合、電界制御電極は、前記コンタクト層の上部まで延在した構成とすることができる。このようにすれば、ドレイン側における電界集中も緩和することが可能となる。このように電界制御電極を延在した場合、ドレイン電極とのオーバーラップによるドレイン電極端部の電界集中が問題となるが、コンタクト層の存在により、かかる問題が低減される。ここで、コンタクト層をアンドープ AlGaIn 層、すなわち意図的にドーピングをしていない AlGaIn 層により構成すると、ドレイン電極端部の電界集中を顕著に低減できる。

【0041】

また、前記III族窒化物半導体層構造は、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) からなるチャネル層、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1$) からなる電子供給層および GaN からなるキャップ層がこの順で積層した構造を有するものとしてもよい。このようにすれば、実効的なショットキー高さを高くでき、さらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例による GaN キャップ層の相乗作用により、一層優れたゲート耐圧が得られる

【0042】

ゲート電極とドレイン電極との間の距離を、ゲート電極とソース電極との間の距離よりも長くすることもできる。いわゆるオフセット構造と呼ばれるものであり、ゲート電極のドレイン側エッジ部の電界集中をより効果的に分散、緩和することができる。また電界制御電極を形成しやすくなるという製造上の利点もある。

【0043】

本発明において、電界制御電極がゲート電極に対して独立に制御可能である構成とすることができる。すなわち、電界制御電極およびゲート電極に対して異なる電位を付与することができる。こうした構成とすることにより、電界効果トランジスタを最適な条件で駆動することが可能となる。

【0044】

【発明の実施の形態】

以下、実施例により本発明の実施の形態を説明する。なお、以下の実施例ではIII族窒化物半導体層の成長基板としてc面SiCを用いた例について説明する。

【0045】

(第1の実施例)

図1は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に、電界制御電極5を有しショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiN膜21で覆われており、さらにその上層にはSiO₂膜22が設けられている。電界制御電極5の直下にはこのSiN膜21およびSiO₂膜22が設けられている。

【0046】

以下、本実施例に係るHJFETの製造方法について図21～図23を参照して説明する。まずSiCからなる基板10上に、例えば分子線エピタキシ(Molecular Beam Epitaxy:MBE)成長法によって半導体を成長させる。このようにして、基板側から順に、アンドープAlNからなるバッファ層11(膜厚20nm)、アンドープのGaNチャネル層12(膜厚2 μ m)、アンドープAl_{0.2}Ga_{0.8}NからなるAlGaN電子供給層13(膜厚25nm)が積層した半導体層構造が得られる(図21(a))。

【0047】

次いで、エピタキシャル層構造の一部をGaNチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ(不図示)を形成する。続いてAlGaN電子供給層13上に、例えばTi/Alなどの金属を蒸着することにより、ソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことによりオーム性接触を取る(図21(b))。続いてプラズマCVD法等により、SiN膜21(膜厚50nm)を形成する。さらにその上層に、常圧CVD法等により、SiO₂膜22(膜厚150nm)を形成する(図22(c))。SiN膜21およびSiO₂膜22の一部をエッチング除去することによってAlGaN電子供給層13の露出する開口部を設ける(図22(d))。露出したAlGaN電子供給層13上に、フォトリソist30を用いてNi/Auなどのゲート金属31を蒸着して、ショットキー接触のゲート電極2を形成する。またこれと同時にNi/Auよりなる電界制御電極も形成する。(図23(e)、(f))。このようにして図1に示したHJFETを作製する。なお、本実施例ではゲート電極2と電界制御電極5を同時に形成する例を示したが、別々の工程(開口を設けたレジストを形成し、開口部に電極を形成する工程を別々に行う)で形成しても良い。この場合、ゲート電極2と電界制御電極5との間隔をより短い間隔で形成できる。

【0048】

この実施例においては、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極のドレイン側端にかかる電界が、電界制御電極の働きにより緩和されることにより、ゲート耐圧が向上する。さらに大信号動作時には、表面電位を

電界制御電極によって変調できるため、表面トラップの応答速度を速めてコラプスを抑制する効果がある。すなわち、コラプス、ゲート耐圧および利得のバランスを顕著に改善できる。また、製造プロセス上等のばらつきにより表面状態が変動した場合でも、こうした良好な性能を安定して実現することができる。

【0049】

さらに、本実施例での電界制御電極はゲート電極に対して独立に制御することが可能である。この場合、表面電位を固定することにより、表面トラップの応答を抑止できるため、電界制御電極をゲート電極と同電位とし、表面電位を変調した場合よりも、さらに効果的にコラプスを抑制できる。特に、本発明の如く表面負電荷の影響が大きな問題となるIII族窒化物半導体素子ではこの電界制御電極を独立に制御できることの効果は著しい。

【0050】

また、上記のように電界制御電極の電位を固定した場合、ゲート電極の電位が変位してもゲート容量がほとんど変化しないため、利得の低下を大幅に抑制することができる。

【0051】

さらに、電界制御電極直下がSiNとSiO₂の積層膜となる構成であるためSiNのみからなる構成に比べ耐圧を高くすることができる。また特にSiN膜を膜質経時劣化しない程度に薄く形成し(150nm以下、より好ましくは100nm以下)、一方、耐圧向上に有効に寄与するSiO₂膜を厚く積層することで容量の増大を有効に抑制することができる。この結果、信頼性および高周波利得に優れるトランジスタとすることができる。

【0052】

電界制御電極の寸法は、0.3 μ m以上あれば、十分コラプス抑制の効果はあり、好ましくは、0.5 μ m以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。電界制御電極の寸法は大きいほどコラプス抑制の効果は高いが、電界制御電極のドレイン電極側の端が、ゲート電極とドレイン電極の間隔(ゲート電極のドレイン電極側の端からドレイン電極のゲート電極側の端までの間隔)の70%を超えると、ゲート耐圧が電界制

ゲート電極とドレイン電極の間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。このため、好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

【0053】

この実施例では表面保護膜の上層としてSiO₂膜を形成した例を示したが、利得の向上および信頼性の向上の観点から、比誘電率が4以下の低誘電率膜を用いることがさらに好ましい。こうした低誘電率材料として、SiOC(SiOCHとよばれる場合もある)、BCB(ベンゾシクロブテン)、FSG(fluoroSilicate glass:SiOF)、HSQ(hydrogen-Silsesquioxane)、MSQ(methyl-Silsesquioxane)、有機ポリマー、あるいはこれらをポーラス化した材料が例示される。

【0054】

(第2の実施例)

本実施例では、図2に示す通り、AlGa_N電子供給層13上(III族窒化物半導体層上)に形成される絶縁膜を、SiN膜21、SiO₂膜22およびSiN膜21がこの順で積層した3層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様である。本実施例の構成では絶縁膜の最上層をSiO₂膜22でなくSiN膜21としているため、この素子の製造工程においてレジストを安定的に形成しやすくなり、歩留まりが向上する。なお、この場合、絶縁膜の最上部に設ける絶縁膜についても、最下層に設けるSiN膜と同様、膜の信頼性の観点から150nm以下、より好ましくは100nm以下の膜厚とする良く、さらには、できるだけ薄い膜とすることがより好ましい。

【0055】

(第3の実施例)

図3は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGa_Nチャネル層12が形成されている。チャネル層の上には、AlGa_N電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5およびショットキー性接触がとられたゲート

電極 2 が設けられている。電子供給層 13 の表面は SiN 膜 21 で覆われており、電界制御電極 5 の直下にはこの SiN 膜 21 が設けられている。

【0056】

上記 HJFET は、以下のように形成される。まず SiC からなる基板 10 上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして形成した半導体層は、基板側から順に、アンドープ AlN からなるバッファ層 11（膜厚 20nm）、アンドープの GaN チャネル層 12（膜厚 $2\mu\text{m}$ ）、アンドープ Al_{0.2}Ga_{0.8}N からなる AlGa_{0.2}N 電子供給層 13（膜厚 25nm）である。

【0057】

次いで、エピタキシャル層構造の一部を GaN チャネル層 12 が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いて AlGa_{0.2}N 電子供給層 13 上に、例えば Ti/Al などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、650℃でアニールを行うことによりオーミック接触を取る。続いてプラズマ CVD 法等により、SiN 膜 21（膜厚 150nm）を形成する。SiN 膜 21 の一部をエッチング除去することによって露出した AlGa_{0.2}N 電子供給層 13 上に例えば Ni/Au などの金属を蒸着してショットキー接触のゲート電極 2 を形成し、同時に電界制御電極 5 も形成する。このようにして図 3 に示した HJFET を作製する。

【0058】

本実施例のトランジスタは、表面保護膜を SiN 膜 21 とする。SiN 膜 21 は内部応力が大きいため、厚く形成することができず、膜厚が薄くなるほどコラプスの抑制効果は小さくなる。しかし、本実施例の構成では電界制御電極 5 をゲート電極 2 とドレイン電極 3 との間に設け、この電界制御電極 5 により表面電位を変調できるため、効果的にコラプスを抑制できる。さらに、この電界制御電極 5 をゲート電極 2 に対して独立して制御することで、さらに効果的にコラプスを抑制可能である。これは、例えば電界制御電極 5 を表面負電荷の発生を抑制するような電位に固定することで、電界制御電極 5 をゲート電極 2 と同電位として電位を変調する場合に比べて安定的にコラプスの抑制ができるためである。なお、

例えば電界制御電極 5 をソース電極 1 と同電位としても良く、この場合、独立制御する場合よりデバイス構成を簡略化できる。また、本実施例の電界制御電極を独立に制御できる構成では、非特許文献 2 に記載のフィールドプレート電極に比べ表面保護膜の膜厚が薄くとも、利得が高く高周波特性に優れたトランジスタを実現できる。これは、フィールドプレート電極の場合、ゲート電極とフィールドプレート電極（ゲート電極を除いた部分）の電位が一緒に変化し、ゲート容量が変化することで利得の低下が起こる。一方、電界制御電極の場合、ゲートと独立して制御できるため、例えば同電位に固定した場合、ゲート電極の電位が変化しようが、ゲート容量は変化せず利得の低下を抑制することが可能となることによる。

【0059】

図 29、図 30 は、ゲート耐圧とコラプスの性能バランスを、本実施例に係るトランジスタと、従来のトランジスタとを比較した図である。ここで、Gr.1~Gr.3 の試作デバイスは、電界制御電極の有無および電界制御電極への電位のかけ方以外は同一である。

【0060】

Gr. 1

電界制御電極：有（電位は 0 V に固定）

電界制御電極の寸法：0.5 μ m

ゲート電極と電界制御電極間距離：0.5 μ m

保護膜：SiN 膜の膜厚が 10, 40, 60, 90, 120 nm のもの 5 点を評価した。

【0061】

Gr. 2

電界制御電極：なし

保護膜：SiN 膜 10、40、60、90、120 nm としたデバイス 5 点を評価した。

【0062】

Gr. 3

電界制御電極：有（電位は0 Vに固定）

電界制御電極の寸法：0.5 μm

ゲート電極と電界制御電極間距離：1.0 μm

保護膜：SiN膜の膜厚が10, 40, 60, 90, 120 nmのもの5点を評価した。

【0063】

図29は上記Gr. 1とGr. 2のデバイスの特性図、図30は、Gr. 3とGr. 2のデバイスの特性図である。本発明の構成のデバイスでは、高いゲート耐圧と、コラプスの抑制を両立できていることがわかる。また、特にコラプスは、電界制御電極の寸法が大きいほどその抑制効果が高い。

【0064】

ただ、電界制御電極の寸法は、0.3 μm 以上あれば、十分コラプス抑制の効果はあり、好ましくは、0.5 μm 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。電界制御電極の寸法は大きいほどコラプス抑制の効果は高いが、電界制御電極のドレイン電極側の端が、ゲート電極とドレイン電極の間隔（ゲート電極のドレイン電極側の端からドレイン電極のゲート電極側の端までの間隔）の70%を超えると、ゲート耐圧が電界制御電極とドレイン電極の間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。このため、好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

【0065】

図31は利得とSiN膜の膜厚の関係である。図中には、非特許文献2に記載のフィールドプレート電極を有するトランジスタ（図18）、電界制御電極を設けた本実施例の構成のトランジスタ（図3）、及び従来のゲート電極のみのトランジスタそれぞれについて、SiN膜21の膜厚を変えた際の利得の変化を示している。フィールドプレート電極の長さ（底部分の長さ）は1 μm 、本実施例構成の電界制御電極の寸法を0.5 μm 、及び、ゲート電極と電界制御電極との間隔を0.5 μm とし、電界制御電極は0 Vに固定した。図31に示す通り、本実施例の構成のトランジスタではSiN膜21の膜厚が50 nmから200 nmに

渡り、利得の低下がフィールドプレート電極を有するトランジスタの場合に比べ顕著に抑制できることがわかる。このように、本実施例の構成のトランジスタは、高いゲート耐圧と、コラプスの抑制と、高利得をいずれも達成可能なトランジスタであると言える。

【0066】

なお、本実施例の構成におけるSiN膜21の膜厚は膜の信頼性の観点から150nm以下とすることが好ましい。さらに100nm以下とするとより好ましい。また、膜厚が10nmより薄くなるとコラプスの抑制の効果が極端に小さくなるため、10nm以上とすることが好ましい。

【0067】

この実施例において、電界制御電極5の寸法（ゲートドレイン電極方向の寸法）は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

【0068】

（第4の実施例）

図4は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5およびショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiON膜23で覆われており、電界制御電極5の直下にはこのSiON膜23が設けられている。

【0069】

上記HJFETは、以下のように形成される。まずSiCからなる基板10上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして形成した半導体層は、基板側から順に、アンドープAlNからなるバッファ層

11 (膜厚20nm)、アンドープのGa_{0.2}Al_{0.8}NからなるAlGa_{0.2}N電子供給層13 (膜厚25nm) である。

【0070】

次いで、エピタキシャル層構造の一部をGa_{0.2}Al_{0.8}Nチャンネル層12が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いてAlGa_{0.2}N電子供給層13上に、例えばTi/Alなどの金属を蒸着することにより、ソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことによりオーム性接触を取る。続いてプラズマCVD法等により、SiON膜23 (膜厚150nm) を形成する。SiON膜23の一部をエッチング除去することによって露出したAlGa_{0.2}N電子供給層13上に例えばNi/Auなどの金属を蒸着して、ショットキー接触のゲート電極2を形成し、同時に電界制御電極を形成する。このようにして図4に示したHJFETを作製する。

【0071】

本実施例のトランジスタは、表面保護膜をSiON膜とする。SiON膜は、SiN膜に比べ、膜中に発生する内部応力が小さい。図28は、プラズマCVD法によりSiON膜およびSiN膜を成膜した場合において、クラックの発生なしに成長可能な膜厚を調査した結果を示す図である。ここではSiONの酸素組成比を変え、対応する成長可能膜厚を調べた。酸素の組成比を増加することによって成長可能膜厚が増大することがわかる。すなわち、本実施例によれば、電界制御電極下をSiN膜としたときに比べて絶縁膜を厚く形成することができ、電界制御電極下の容量低減により高周波利得を改善することができる。

【0072】

ここで、酸素比率が大きすぎると、コラプスの改善効果が十分に得られなくなる。本発明者の検討によれば、コラプス改善の観点からは酸素比率を50%以下とすることが好ましい。なお、コラプスおよび高周波利得の観点から、電界制御電極下のSiON膜は、200nm以上の膜厚とすることが望ましい。200nmの成長可能膜厚に対応する酸素組成比は5% (モル基準) であることから、SiON膜を用いる場合、5%以上の酸素組成比とすることが好ましい。

【0073】

この実施例のSiON膜は、屈折率が1.65以上2.05以下の範囲にあることが好ましい。

【0074】

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは、 $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

【0075】

なお、上記例では保護膜をSiONとした例を示したが、これに限らず、SiCN、SiOCNなどを用いても良い。

【0076】

(第5の実施例)

図5は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5およびショットキー性接触がとられたゲート電極2が設けられている。電子供給層13の表面はSiOC膜24で覆われており、電界制御電極5の直下にはこのSiOC膜24が設けられている。

【0077】

上記HJFETは、以下のように形成される。まずSiCからなる基板10上に、例えば分子線エピタキシ成長法によって半導体を成長させる。このようにして、基板側から順に、アンドープAlNからなるバッファ層11（膜厚20nm）、アンドープのGaNチャネル層12（膜厚 $2\mu\text{m}$ ）、アンドープAl_{0.2}Ga_{0.8}NからなるAlGaN電子供給層13（膜厚25nm）が積層した半導体層構造が得られる。

【0078】

次いで、エピタキシャル層構造の一部を GaN チャネル層 12 が露出するまでエッチング除去することにより、素子間分離メサを形成する。続いて AlGaIn 電子供給層 13 上に、例えば Ti/Al などの金属を蒸着することにより、ソース電極 1 およびドレイン電極 3 を形成し、650℃でアニールを行うことによりオーミック接触を取る。続いてプラズマ CVD 法により SiOC 膜 24 (膜厚 200 nm) を形成する。SiOC 膜 24 の一部をエッチング除去することによって露出した AlGaIn 電子供給層 13 上に例えば Ni/Au などの金属を蒸着して、ショットキー接触のゲート電極 2 を形成し、同時に電界制御電極 5 も形成する。このようにして図 5 に示した HJFET を作製する。

【0079】

この実施例は、表面保護膜を SiOC 膜とした構造である。SiOC 膜は SiN 膜と比較してストレスが小さく、膜厚を厚くしても AlGaIn 層のピエゾ分極に影響を与えない。このため、膜によるコラプス抑制の効果はないが、電界制御電極による表面電荷の制御によりコラプスを抑制する。この実施例において、電界制御電極の寸法は、0.3 μm 以上とすることが好ましく、さらに好ましくは、0.5 μm 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の 70% 以下とする。

【0080】

この実施例では表面保護膜が比誘電率 2.5 程度の SiOC 膜の場合を示したが、他の低誘電率膜 (比誘電率 3.5 以下) を用いることもできる。この場合、膜中に発生するストレス (内部応力) が小さい膜であることが好ましい。こうした材料として、SiOC (SiOCH とよばれる場合もある)、BCB (ベンゾシクロブテン)、FSG (fluoroSilicate glass: SiOF)、HSQ (hydrogen-Silsesquioxane)、MSQ (methyl-Silsesquioxane)、有機ポリマー、あるいはこれらをポーラス化した材料が例示される。このほか、アルミナ等を用いても良い。また臨界膜厚以下の AlN を表面保護膜とすることにより、電界制御電極による効果に加えて、素子表面からの放熱を高める効果が得られる。これらの膜を組み合わせた多層膜構造においても同様の効果が得られる。

【0081】

(第6の実施例)

本実施例は、保護膜の構造をゲート電極近傍では単層構造とし、ゲート電極から離れた領域では2層構造としている。ゲート電極下の半導体の層構造はすでに述べた実施例と同様であるので説明を省略する。

【0082】

図6では、ゲート電極2と、SiN膜21とSiO₂積層膜を離間して形成し、電界制御電極5の下部には、SiO₂膜22単層の第一の領域と、この領域よりもドレイン側に位置する、SiN膜21上にSiO₂膜22が積層した第二の領域とが形成されている。本実施例の構成では、ゲート電極側に耐圧向上に有効なSiO₂膜を設け、一方、ドレイン電極側にはコラプス抑制の効果のあるSiN膜を設けている。このため、ゲート耐圧向上とともにコラプスも抑制した電界効果トランジスタを実現できる。さらに、本発明の構成では、電界制御電極をゲート電極と独立して制御することが可能であるため、コラプスをより抑制するよう調整することが可能である。また、電界制御電極を所定電位に固定することで（例えばソース電極と同電位とすることで）利得の低下も抑制できる。

なお、本実施例での絶縁膜の構成では、ゲート電極側をSiO₂膜、ドレイン電極側をSiN膜とSiO₂膜の積層膜とする例を示したが、さらに、これら絶縁膜上にSiN膜を設けた構成としても良い。SiN膜はSiO₂膜よりレジストとの密着性に優れており、製造工程において歩留まり良くトランジスタを製造できる利点がある。

【0083】

以下、本実施例に係るHJFETの製造方法について図24～27を参照して説明する。まずSiCからなる基板10上に、例えば分子線エピタキシ(Molecular Beam Epitaxy:MBE)成長法によって半導体を成長させる。これにより、基板側から順に、アンドープAlNからなるバッファ層11（膜厚20nm）、アンドープのGaNチャネル層12（膜厚2μm）、アンドープAl_{0.2}Ga_{0.8}NからなるAlGaN電子供給層13（膜厚25nm）が積層した半導体層構造を得る（図24（a））。

【0084】

次いで、エピタキシャル層構造の一部をGaNチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ（不図示）を形成する。続いてAlGaN電子供給層13上に、例えばTi/Alなどの金属を蒸着することにより、ソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことによりオーム性接触を取る（図24（b））。続いてプラズマCVD法等により、SiN膜21（膜厚50nm）を形成する（図25（c））。つづいてSiN膜21の一部をエッチング除去することによってAlGaN電子供給層13の露出する開口部を設ける（図25（d））。この開口部を埋めるように基板全面に、常圧CVD法等により、SiO₂膜22（膜厚150nm）を形成する（図26（e））。次にSiO₂膜22の一部をエッチング除去することによってAlGaN電子供給層13の露出する開口部を設ける（図26（f））。その後、露出したAlGaN電子供給層13上に、フォトリジスト30を用いてNi/Auなどのゲート金属31を蒸着して、ショットキー接触のゲート電極2と、電界制御電極5を同時に形成する（図27（g）、（h））。このようにして図4に示したHJFETを作製する。以上の手順により、図4に示すトランジスタを安定的に製造することが可能である。なお、上記例ではゲート電極2と電界制御電極5を同時に形成する例を示したが、別々の工程（フォトリジスト30を各電極を形成する毎に設けて各々の電極を別々に形成する）により形成しても良い。この場合、ゲート電極2、電界制御電極5をより制御性良く形成でき、例えば両電極の間隔を非常に狭く形成することが可能となる。

【0085】

（第7の実施例）

図7は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されている。この電子供給層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に、電子供給層13とショットキー性接触がとられたゲート電

極 2 が設けられている。また、このゲート電極 2 とドレイン電極 3 との間には絶縁膜が設けられており、この絶縁膜上に電界制御電極 5 が設けられている。さらに、この絶縁膜は、ゲート電極側が SiO_2 膜であり、ドレイン電極側が SiN 膜で構成されている。

【0086】

本実施例では、絶縁膜の構成が、ゲート電極側では耐圧向上に有効な SiO_2 膜とし、ドレイン電極側ではコラプス抑制に有効な SiN 膜としている。また、コラプスの抑制は電界制御電極によっても可能であり、特に、電界制御電極をゲート電極と独立に制御することでより一層のコラプス抑制を図れる。また、電界制御電極を所定電位に固定することで利得の低下も有効に抑制できる。このため、本実施例の構成では、ゲート耐圧が高く、かつコラプスの影響が低く、かつ高周波特性に優れた電界効果トランジスタを実現できる。なお、本実施例の構成では、ゲート電極側に SiO_2 膜を設けたがゲート耐圧向上に有効な膜であれば良く、好ましくは N を含まない絶縁膜であれば良い。また、ドレイン電極側には SiN を設けたが、 SiON 膜などを設けても良い。この場合、 SiN に比べ膜厚を厚く形成でき、利得の向上に有効である。

【0087】

(第 8 の実施例)

本実施例は、ワイドリセス構造を採用した HJFET の例である。以下、図 8 を参照して説明する。

【0088】

この HJFET は、 SiC などの基板 10 上に形成される。ソース電極 1 およびドレイン電極 3 は、それぞれ GaN コンタクト層 14 の上に形成されている。基板 10 上には半導体層からなるバッファ層 11 が形成されている。このバッファ層 11 上に GaN チャネル層 12 が形成されている。チャネル層の上には、 AlGaN 電子供給層 13 が形成されている。この電子供給層 13 上にコンタクト層 14 があり、コンタクト層に接してオーム性接触がとられたソース電極 1 およびドレイン電極 3 が設けられている。ソース電極 1 とドレイン電極 3 の間のコンタクト層を一部除去し、露出した AlGaN 電子供給層 13 に接して、ショット

キー性接触がとられたゲート電極 2 が設けられている。電子供給層 13 の表面は SiN 膜 21 で覆われており、さらにその上層には SiO₂ 膜 22 が設けられている。さらに、その SiO₂ 膜 22 膜上には、電界制御電極 5 がゲート電極 2 とドレイン電極 3 との間に設けられている。

【0089】

この実施例は第 1 の実施例にコンタクト層を追加した構成であり、第 1 の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

【0090】

また、ワイドリセス構造の採用により、ゲート電極 2 ドレイン側端部の電界分布が変化するため、電界制御電極 5 の機能とあわせ、より優れた電界緩和効果が得られる。

【0091】

この実施例において、電界制御電極の寸法は、0.3 μ m 以上とすることが好ましい。さらに好ましくは 0.5 μ m 以上とする。また、電界制御電極の端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とコンタクト層の間隔の 70% 以下とする。

【0092】

なお、本実施例では電子供給層 13 上に設ける絶縁膜を SiN 膜 21 と SiO₂ 膜 22 の積層膜の例を示したが、前述の実施例 2 や実施例 6 に記載したように、絶縁膜の構成を 3 層構成としたり、ゲート電極側とドレイン電極側とで、膜の構成を変えた構成とした場合においても同様の効果を有する。

【0093】

(第 9 の実施例)

本実施例は、ワイドリセス構造を採用した HJFET の例である。以下、図 9 を参照して説明する。

【0094】

この HJFET は、SiC などの基板 10 上に形成される。ソース電極 1 およびドレイン電極 3 は、それぞれ GaN コンタクト層 14 の上に形成されている。基板 10 上には半導体層からなるバッファ層 11 が形成されている。このバッ

ァ層 11 上に GaN チャンネル層 12 が形成されている。チャンネル層の上には、AlGaIn 電子供給層 13 が形成されている。この電子供給層 13 上にコンタクト層 14 があり、コンタクト層に接してオーム性接触がとられたソース電極 1 およびドレイン電極 3 が設けられている。ソース電極 1 とドレイン電極 3 の間のコンタクト層を一部除去し、露出した AlGaIn 電子供給層 13 に接してショットキー性接触がとられたゲート電極 2 が設けられている。素子表面は SiON 膜 23 で覆われており、この SiON 膜 23 上には電界制御電極 5 がゲート電極 2 とドレイン電極 3 の間に設けられている。

【0095】

この実施例は第 4 の実施例にコンタクト層を追加した構成であり、第 4 の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。

【0096】

また、ワイドリセス構造の採用により、ゲート電極 2 ドレイン側端部の電界分布が変化するため、電界制御電極 5 の機能とあわせ、より優れた電界緩和効果が得られる。

【0097】

この実施例の SiON 膜は、屈折率が 1.65 以上 2.05 以下の範囲にあることが好ましい。

【0098】

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とコンタクト層の間隔の 70% 以下とする。

【0099】

なお、本実施例では絶縁膜の構成を SiON 膜 23 としたが、実施例 3 に記載のように、SiN 膜としても良い。この場合、SiON 膜の場合より、膜厚を薄く制御する必要があり、好ましくは 150nm 以下とする必要がある。また、実施例 7 記載のように、絶縁膜をゲート電極側とドレイン電極側で構成の異なる絶縁膜を設けた構成としても良い。

【0100】

(第10の実施例)

この実施例は第5の実施例にコンタクト層14を追加した構成であり、第5の実施例で述べた効果にくわえ、さらにコンタクト抵抗が低減できる。以下、図10を参照して説明する。

【0101】

また、ワイドリセス構造の採用により、ゲート電極2ドレイン側端部の電界分布が変化するため、電界制御電極5の機能とあわせ、より優れた電界緩和効果が得られる。

【0102】

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、コンタクト層とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とコンタクト層の間隔の70%以下とする。

【0103】

(第11の実施例)

図11はこの実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。チャネル層の上には、AlGaN電子供給層13が形成されており、その上にGaNキャップ層15が形成されている。このGaNキャップ層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5を有し、ショットキー接触がとられたゲート電極2が設けられている。GaNキャップ層15の表面はSiN膜21で覆われており、さらにその上層にはSiO₂膜22が設けられている。電界制御電極5の直下にはこのSiN膜21およびSiO₂膜22が設けられている。

【0104】

この実施例は、第1の実施例で半導体の最上部にGaNキャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート

耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例による GaN キャップ層の相乗作用により、優れたゲート耐圧が得られる。

【0105】

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは、 $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

【0106】

なお、本実施例では電子供給層13上に設ける絶縁膜を SiN 膜21と SiO₂ 膜22の積層膜の例を示したが、前述の実施例2や実施例6に記載したように、絶縁膜の構成を3層構成としたり、ゲート電極側とドレイン電極側とで、絶縁膜の構成を変えた構成とした場合においても同様の効果を有する。

【0107】

(第12の実施例)

図12はこの実施例の HJFET の断面構造を示す。この HJFET は、図1と同様、AlGa_N 電子供給層13の上に GaN キャップ層15が形成されている。この GaN キャップ層上にはオーム性接触がとられたソース電極1およびドレイン電極3があり、その間に電界制御電極5を有し、ショットキー接触がとられたゲート電極2が設けられている。GaN キャップ層15の表面は SiON 膜23で覆われており、電界制御電極5の直下にはこの SiON 膜23が設けられている。

【0108】

この実施例は、第4の実施例で半導体の最上部に GaN キャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例による GaN キャップ層の相乗作用により、優れたゲート耐圧が得られる。

【0109】

この実施例の SiON 膜は、屈折率が 1.65 以上 2.05 以下の範囲にあることが好ましい。

【0110】

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の 70% 以下とする。

【0111】

なお、本実施例では絶縁膜の構成を SiON 膜 23 としたが、実施例 3 に記載のように、SiN 膜としても良い。この場合、SiON 膜の場合より、膜厚を薄く制御する必要があり、好ましくは 150 nm 以下とする必要がある。また、実施例 7 記載のように、絶縁膜をゲート電極側とドレイン電極側とで絶縁膜の構成が異なる構成としても上記キャップ層を設ける効果は同様である。

【0112】

(第 13 の実施例)

図 13 はこの実施例の HJFET の断面構造を示す。この HJFET は、SiC などの基板 10 上に形成される。基板 10 上には半導体層からなるバッファ層 11 が形成されている。このバッファ層 11 上に GaN チャネル層 12 が形成されている。チャネル層の上には、AlGaIn 電子供給層 13 が形成されており、その上に GaN キャップ層 15 が形成されている。この GaN キャップ層上にはオーム性接触がとられたソース電極 1 およびドレイン電極 3 があり、その間に電界制御電極 5 を有し、ショットキー接触がとられたゲート電極 2 が設けられている。GaN キャップ層 15 の表面は SiOC 膜 24 で覆われており、電界制御電極 5 の直下にはこの SiOC 膜 24 が設けられている。

【0113】

この実施例は、第 5 の実施例で半導体の最上部に GaN キャップ層を追加した構成であり、実効的なショットキー高さを高くすることによりさらに高いゲート耐圧が実現できる。すなわち、電界制御電極、電界制御電極直下の積層膜および本実施例による GaN キャップ層の相乗作用により、優れたゲート耐圧が得られ

る。

【0114】

この実施例において、電界制御電極の寸法は、 $0.3\mu\text{m}$ 以上とすることが好ましい。さらに好ましくは $0.5\mu\text{m}$ 以上とする。また、電界制御電極の端は、ドレイン電極とオーバーラップしない位置とすることが好ましい。さらに好ましくは電界制御電極の寸法をゲート電極とドレイン電極の間隔の70%以下とする。

【0115】

(第14の実施例)

図14はこの実施例のHJFETの断面構造を示す。この実施例は、第8の実施例のコンタクト層をアンドープAlGa_Nとし、電界制御電極をコンタクト層とオーバーラップさせた構造に関するものである。

【0116】

このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGa_Nチャネル層12が形成されている。チャネル層の上には、AlGa_N電子供給層13が形成されている。この電子供給層13上にアンドープAlGa_N層16があり、アンドープAlGa_N層16に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のアンドープAlGa_N層を一部除去し、露出したAlGa_N電子供給層13に接してショットキー性接触がとられたゲート電極2が設けられている。素子表面はSi₃N₄膜21で覆われており、さらにその上層にはSiO₂膜22が設けられている。さらにこのSiO₂膜上には電界制御電極5が設けられている。なお、図示したように、この電界制御電極5はアンドープAlGa_N層16にオーバーラップする構成としても良い。

【0117】

この実施例においては、コンタクト層がアンドープのAlGa_N層であるため、電界制御電極とコンタクト層の間での電界集中は緩やかである。このため電界制御電極がコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、電界制御電極がAlGa_N電子供給層表面の大部分の表面電荷を制御で

きるため、コラプスをより効果的に抑制する効果がある。

【0118】

また、この実施例ではアンドープAlGa_N層16をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。電界制御電極5をドレイン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレイン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極3と電子供給層13との間にアンドープAlGa_N層16が介在するため、こうしたドレイン電極3の近傍における電界集中を効果的に緩和することができる。

【0119】

(第15の実施例)

この実施例は、第9の実施例のコンタクト層をアンドープAlGa_Nとし、電界制御電極をコンタクト層とオーバーラップさせた構造に関するものである。

【0120】

図15は、この実施例のHJFETの断面構造を示す。このHJFETは、SiCなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にGa_Nチャンネル層12が形成されている。チャンネル層の上には、AlGa_N電子供給層13が形成されている。この電子供給層13上にアンドープAlGa_N層16があり、アンドープAlGa_N層16に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のアンドープAlGa_N層を一部除去し、露出したAlGa_N電子供給層13に接してショットキー性接触がとられたゲート電極2が設けられている。素子表面はSiON膜23で覆われており、このSiON膜23上に電界制御電極5がゲート電極2とドレイン電極3との間設けられている。なお、この電界制御電極5はアンドープAlGa_N層16にオーバーラップする構成としても良い。

【0121】

この実施例においては、コンタクト層がアンドープのAlGa_N層であるため、電界制御電極とコンタクト層の間での電界集中は緩やかである。このため電界

制御電極がコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、電界制御電極がA l G a N電子供給層表面の大部分の表面電荷を制御できるため、コラプスをより効果的に抑制することができる。

【0122】

また、この実施例ではアンドープA l G a N層16をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。電界制御電極5をドレイン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレイン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極3と電子供給層13との間にアンドープA l G a N層16が介在するため、こうしたドレイン電極3の近傍における電界集中を効果的に緩和することができる。

【0123】

(第16の実施例)

この実施例は、第10の実施例のコンタクト層をアンドープA l G a Nとし、電界制御電極をコンタクト層とオーバーラップさせた構造に関するものである。

【0124】

図16は、この実施例のH J F E Tの断面構造を示す。このH J F E Tは、S i Cなどの基板10上に形成される。基板10上には半導体層からなるバッファ層11が形成されている。このバッファ層11上にG a Nチャネル層12が形成されている。チャネル層の上には、A l G a N電子供給層13が形成されている。この電子供給層13上にアンドープA l G a N層16があり、アンドープA l G a N層16に接してオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3の間のアンドープA l G a N層を一部除去し、露出したA l G a N電子供給層13に接してショットキー性接触がとられたゲート電極2が設けられている。素子表面はS i O C膜24で覆われており、このS i O C膜上に電界制御電極5が設けられている。なお、この電界制御電極5はアンドープA l G a N層16にオーバーラップする構成としても良い。

【0125】

この実施例においては、コンタクト層がアンドープのAlGaIn層であるため、電界制御電極とコンタクト層の間での電界集中は緩やかである。このため電界制御電極がコンタクト層にオーバーラップしてもゲート耐圧は低下しない。これにより、電界制御電極がAlGaIn電子供給層表面の大部分の表面電荷を制御できるため、コラプスをより効果的に抑制することができる。

【0126】

また、この実施例ではアンドープAlGaIn層16をコンタクト層としているため、ドレイン電極近傍の電界集中を抑制できるという効果も得られる。電界制御電極5をドレイン側に伸長した場合、ゲート電極2近傍の電界集中が緩和される一方、ドレイン電極3の近傍における電界集中の問題が顕在化する。本実施例の構成によれば、ドレイン電極3と電子供給層13との間にアンドープAlGaIn層16が介在するため、こうしたドレイン電極3の近傍における電界集中を効果的に緩和することができる。

【0127】

以上述べた実施例14～16において、アンドープAlGaIn層16およびAlGaIn電子供給層13のアルミ組成の大小は任意である。これらのアルミ組成が等しい場合、両者は同じ材料から構成されることになるので、低い抵抗が得られる。また、アンドープAlGaIn層16を、その下のAlGaIn電子供給層13よりも高アルミ組成とすればピエゾ効果により両者の界面にキャリアが発生し、これにより低抵抗化を図ることができる。

【0128】

以上、本発明を実施例をもとに説明した。これらの実施例は例示であり、各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0129】

たとえば、上記実施例では、基板材料としてSiCを用いた例について説明したが、サファイア等の他の異種材料基板や、GaIn、AlGaIn等のIII族窒化物半導体基板等を用いても良い。

【0130】

また、ゲート下の半導体層の構造は、例示したものに限られず種々の態様が可能である。たとえばGaNチャネル層12の上部だけでなく下部にもAlGaN電子供給層13を併設した構造とすることも可能である。

【0131】

また、低誘電率膜は、実施例で例示したものに限られず、様々な材料を用いることができる。

【0132】

上述した各実施例において、ゲート電極2の下部を一部、AlGaN電子供給層13に埋め込んだ、いわゆるゲートリセス構造を採用することができる。これにより、電界制御電極の作用と相俟って優れたゲート耐圧が得られる。

【0133】

【発明の効果】

以上説明したように、本発明の電界効果トランジスタは、コラプスの抑制と高いゲート耐圧を同時に実現できる。これにより、高電圧の大信号動作時の出力特性が大幅に改善する。

【図面の簡単な説明】

【図1】

実施例に係るトランジスタの構造を示す図である。

【図2】

実施例に係るトランジスタの構造を示す図である。

【図3】

実施例に係るトランジスタの構造を示す図である。

【図4】

実施例に係るトランジスタの構造を示す図である。

【図5】

実施例に係るトランジスタの構造を示す図である。

【図6】

実施例に係るトランジスタの構造を示す図である。

【図7】

実施例に係るトランジスタの構造を示す図である。

【図 8】

実施例に係るトランジスタの構造を示す図である。

【図 9】

実施例に係るトランジスタの構造を示す図である。

【図 10】

実施例に係るトランジスタの構造を示す図である。

【図 11】

実施例に係るトランジスタの構造を示す図である。

【図 12】

実施例に係るトランジスタの構造を示す図である。

【図 13】

実施例に係るトランジスタの構造を示す図である。

【図 14】

実施例に係るトランジスタの構造を示す図である。

【図 15】

実施例に係るトランジスタの構造を示す図である。

【図 16】

実施例に係るトランジスタの構造を示す図である。

【図 17】

従来のトランジスタの構造を示す図である。

【図 18】

従来のトランジスタの構造を示す図である。

【図 19】

ゲート耐圧とコラプスのトレードオフを説明するための図である。

【図 20】

ゲート耐圧とコラプスのトレードオフを説明するための図である。

【図 21】

実施例に係るトランジスタの製造方法を説明する図である。

【図 22】

実施例に係るトランジスタの製造方法を説明する図である。

【図 23】

実施例に係るトランジスタの製造方法を説明する図である。

【図 24】

実施例に係るトランジスタの製造方法を説明する図である。

【図 25】

実施例に係るトランジスタの製造方法を説明する図である。

【図 26】

実施例に係るトランジスタの製造方法を説明する図である。

【図 27】

実施例に係るトランジスタの製造方法を説明する図である。

【図 28】

SiONの成膜可能膜厚を説明する図である。

【図 29】

ゲート耐圧とコラプス電流変化の関係を示す図である。

【図 30】

ゲート耐圧とコラプス電流変化の関係を示す図である。

【図 31】

絶縁膜の厚みと利得の関係を示す図である。

【符号の説明】

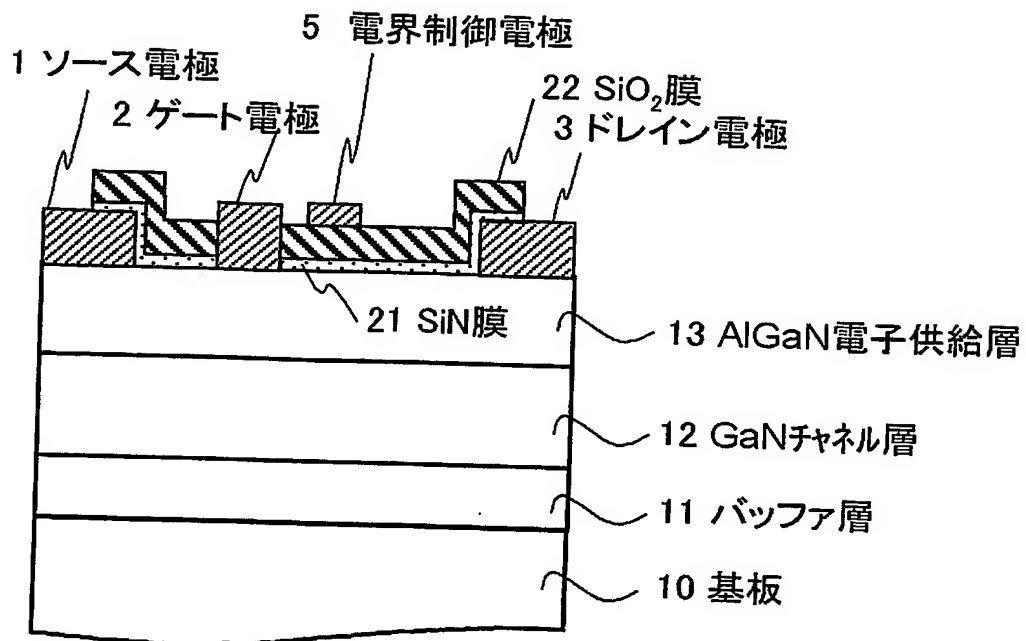
- 1 ソース電極
- 2 ゲート電極
- 3 ドレイン電極
- 5 電界制御電極
- 10 基板
- 11 バッファ層
- 12 GaNチャネル層
- 13 AlGaIn電子供給層

- 14 GaNコンタクト層
- 15 GaNキャップ層
- 16 アンドープAlGaN層
- 21 SiN膜
- 22 SiO₂膜
- 23 SiON膜
- 24 SiOC膜
- 30 フォトレジスト
- 31 ゲート金属
- 101 ソース電極
- 102 ゲート電極
- 103 ドレイン電極
- 110 サファイア基板
- 111 バッファ層
- 112 チャネル層
- 113 電子供給層
- 121 シリコン窒化膜

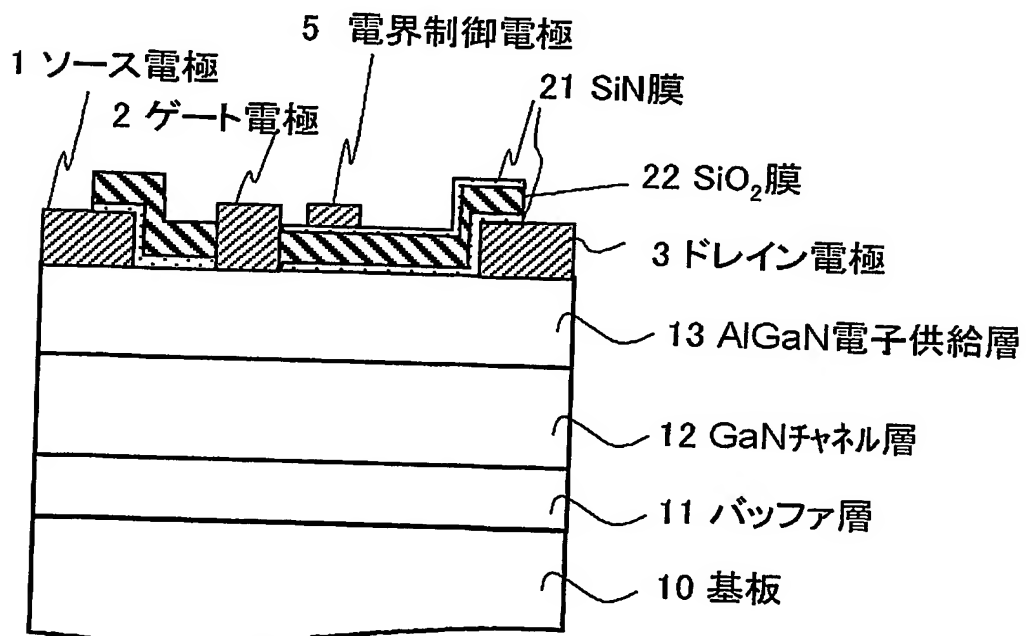
【書類名】

図面

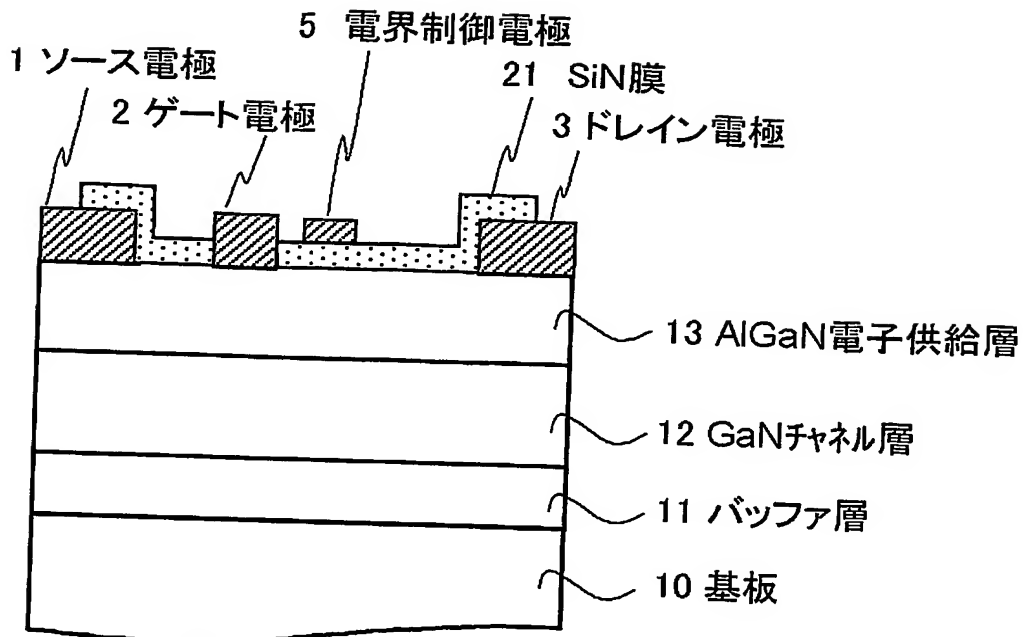
【図1】



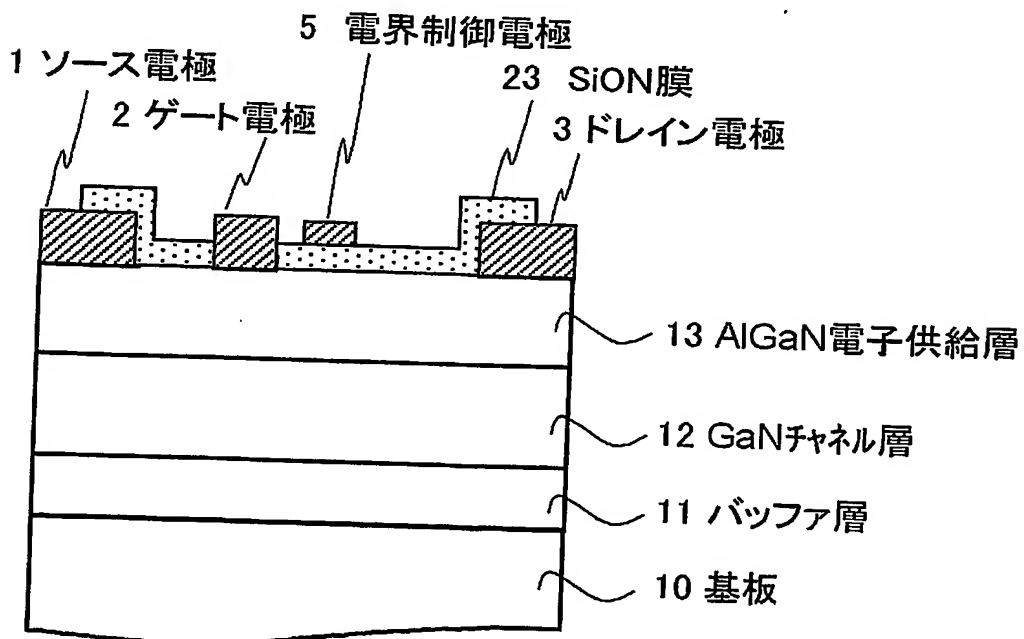
【図2】



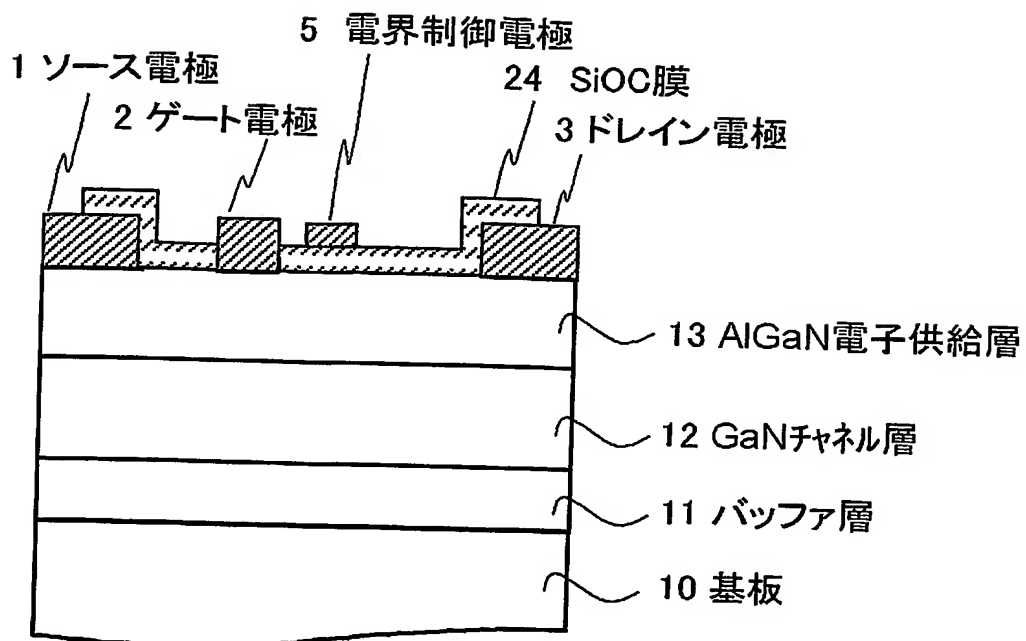
【図3】



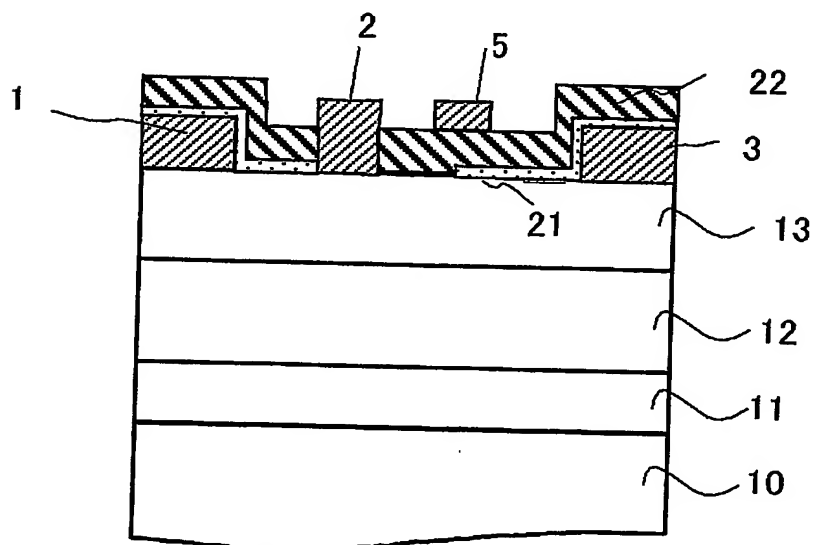
【図4】



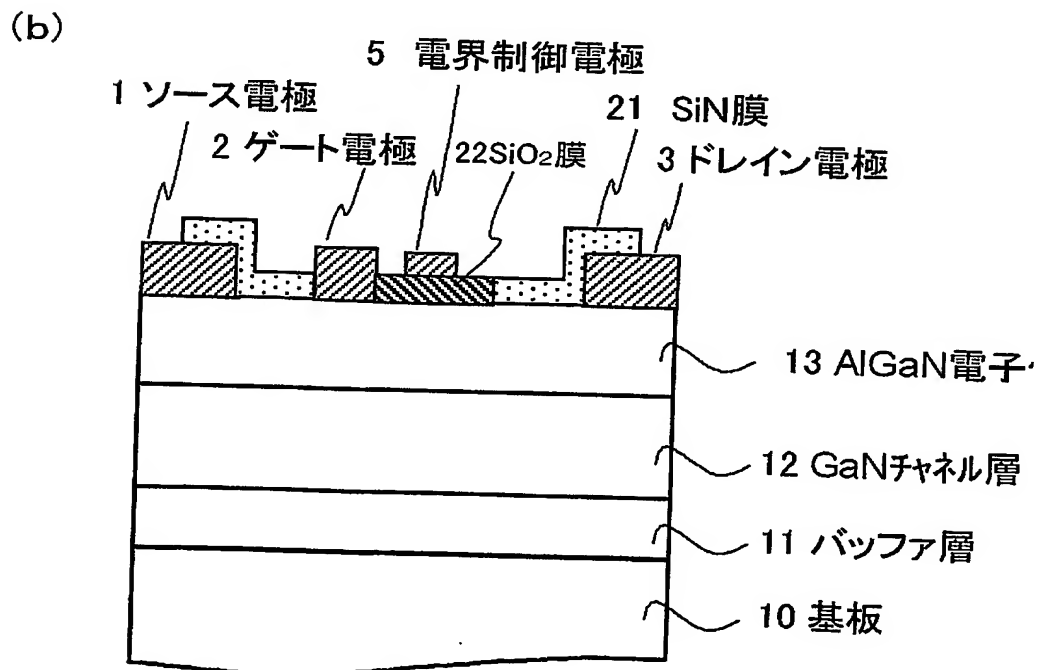
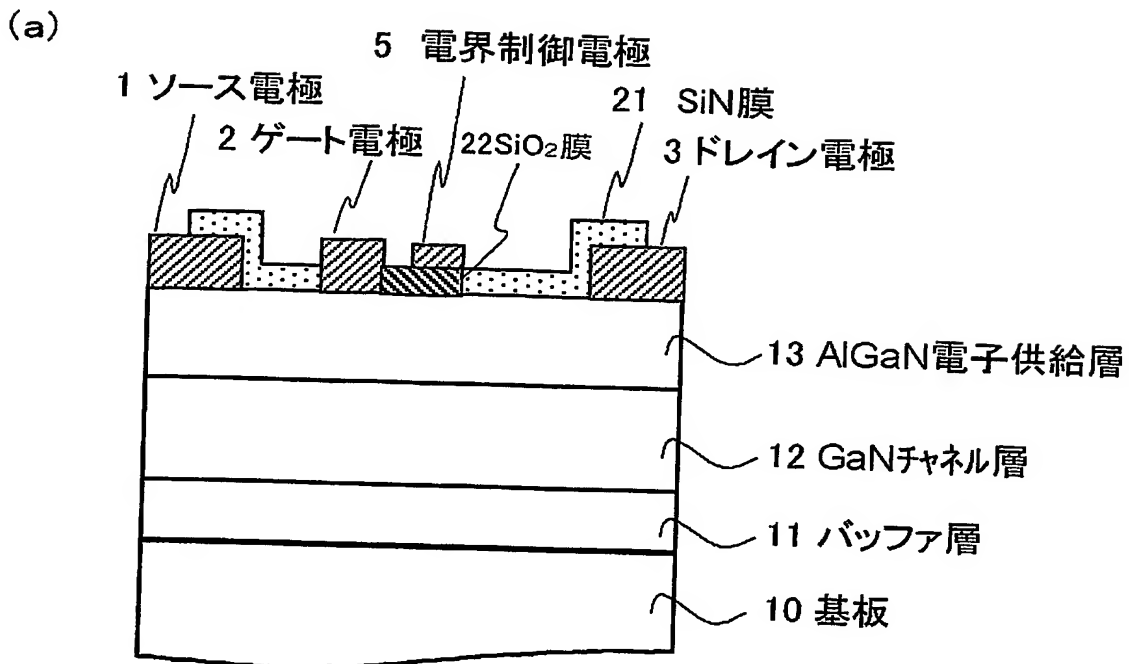
【図 5】



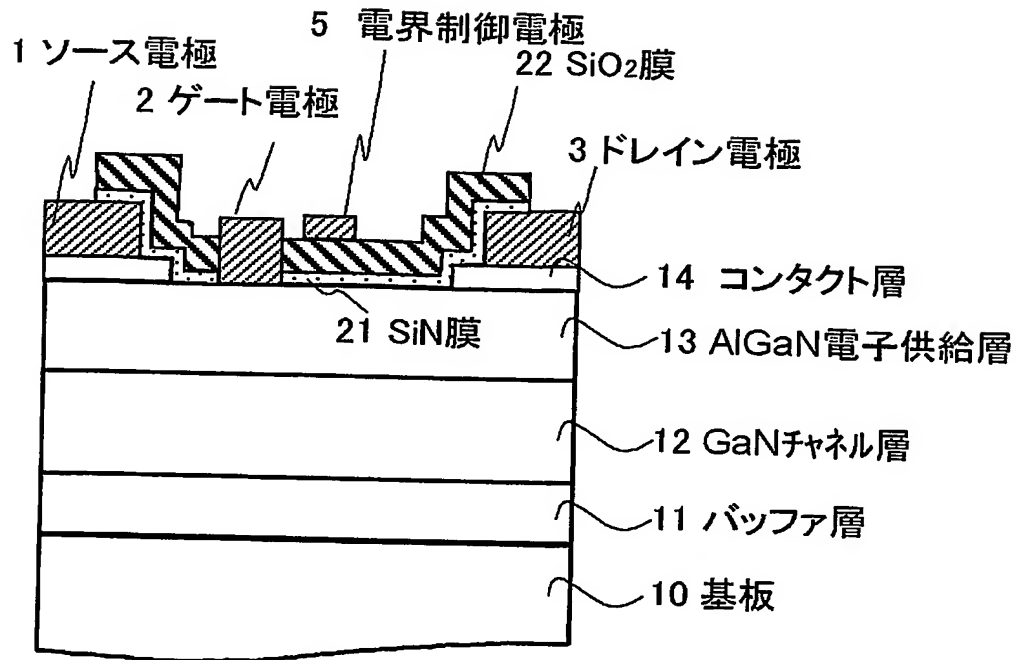
【図 6】



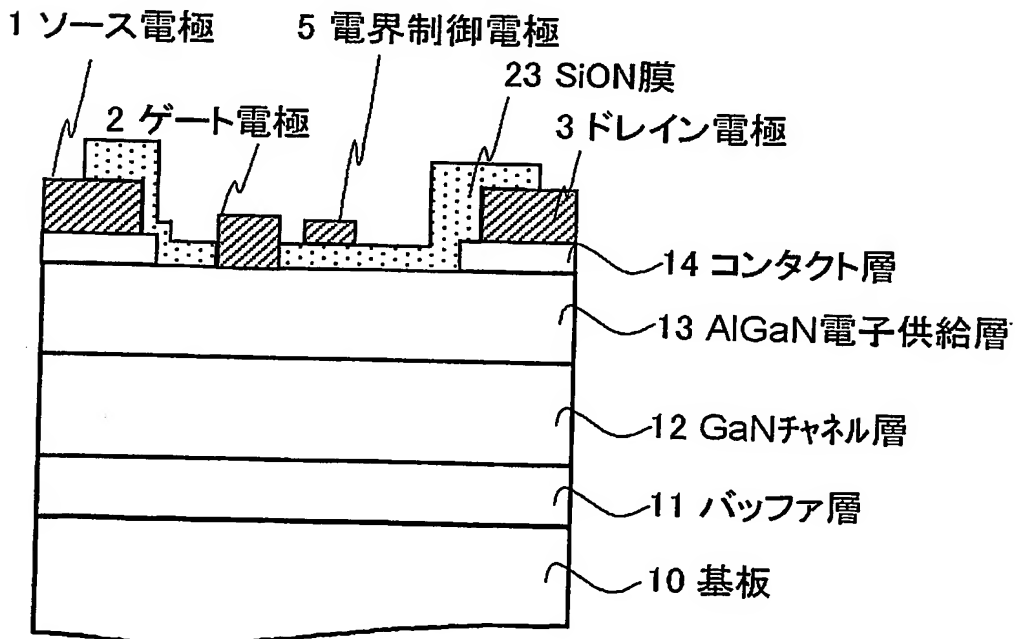
【図 7】



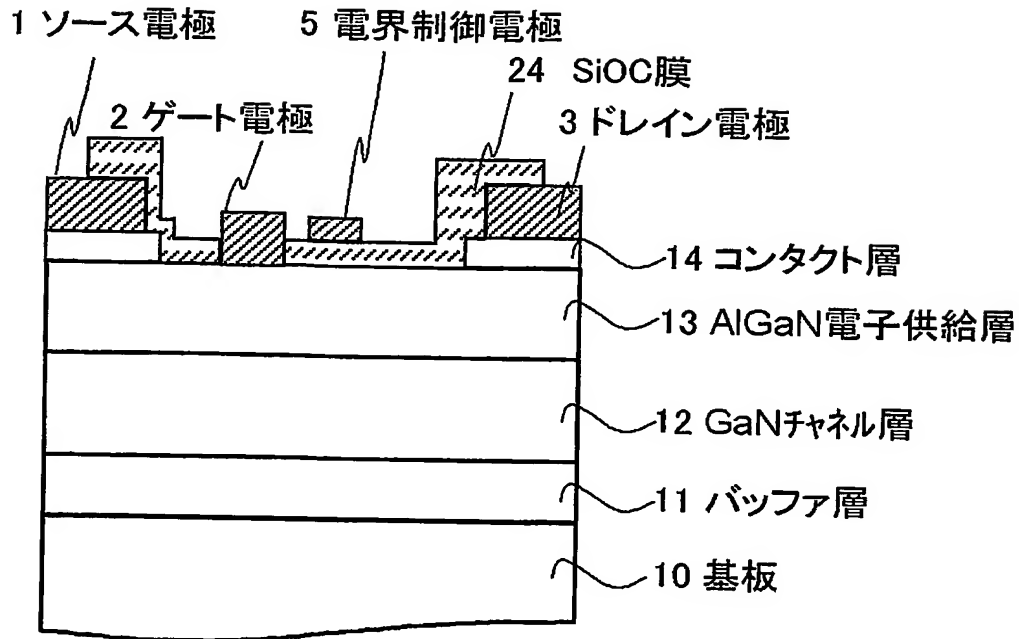
【図 8】



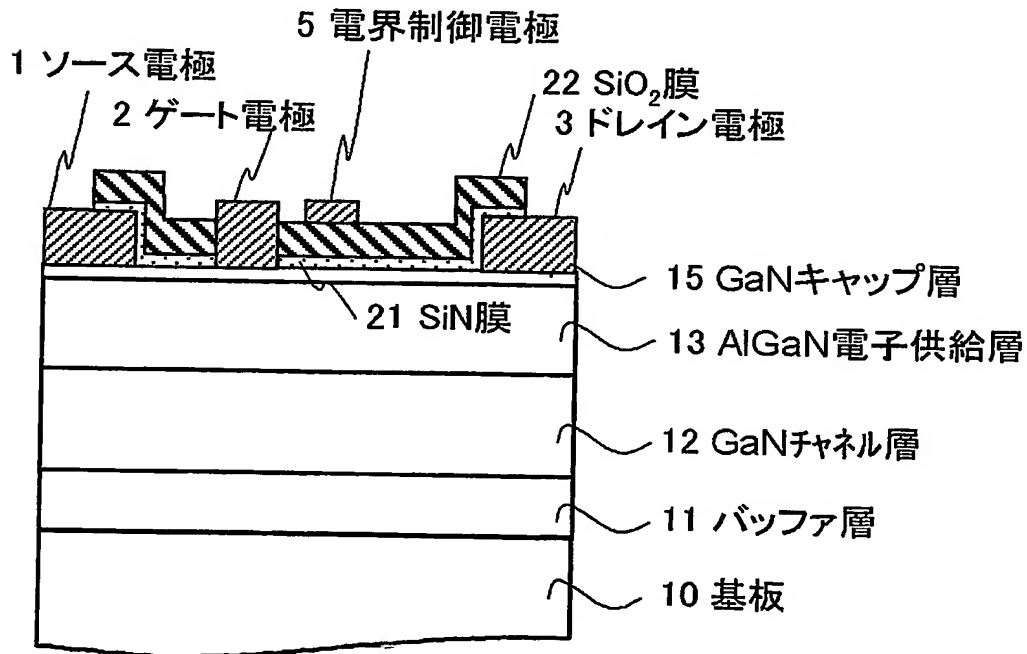
【図 9】



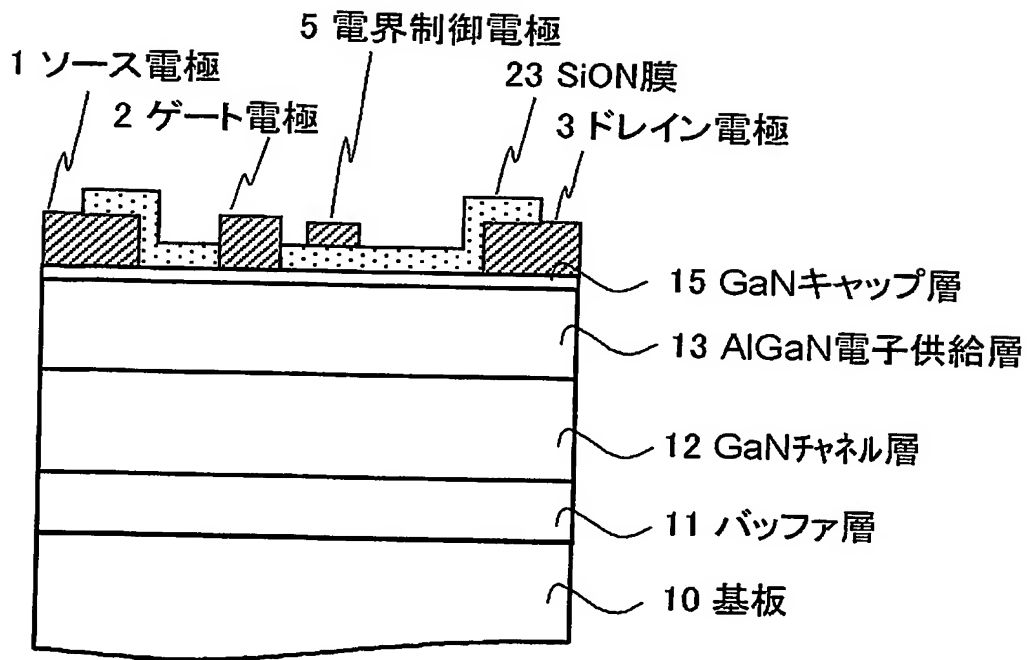
【図10】



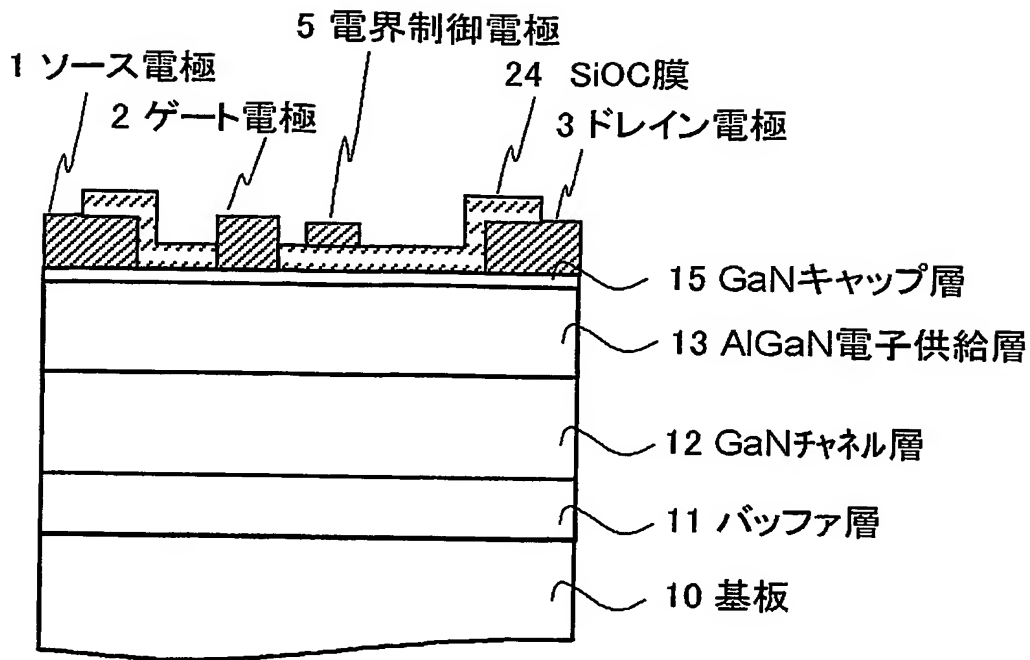
【図11】



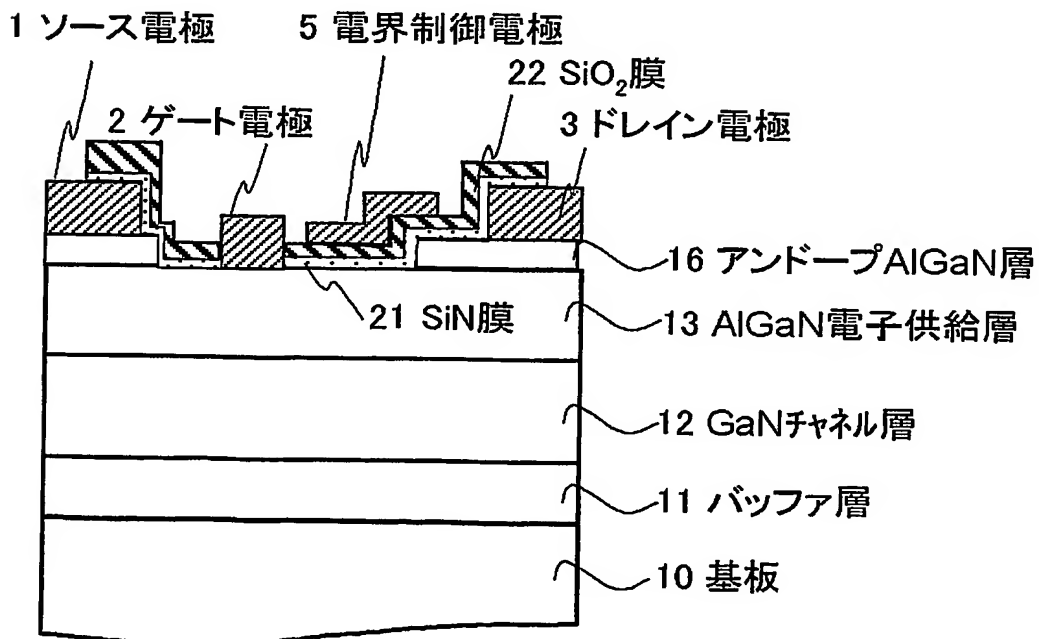
【図 12】



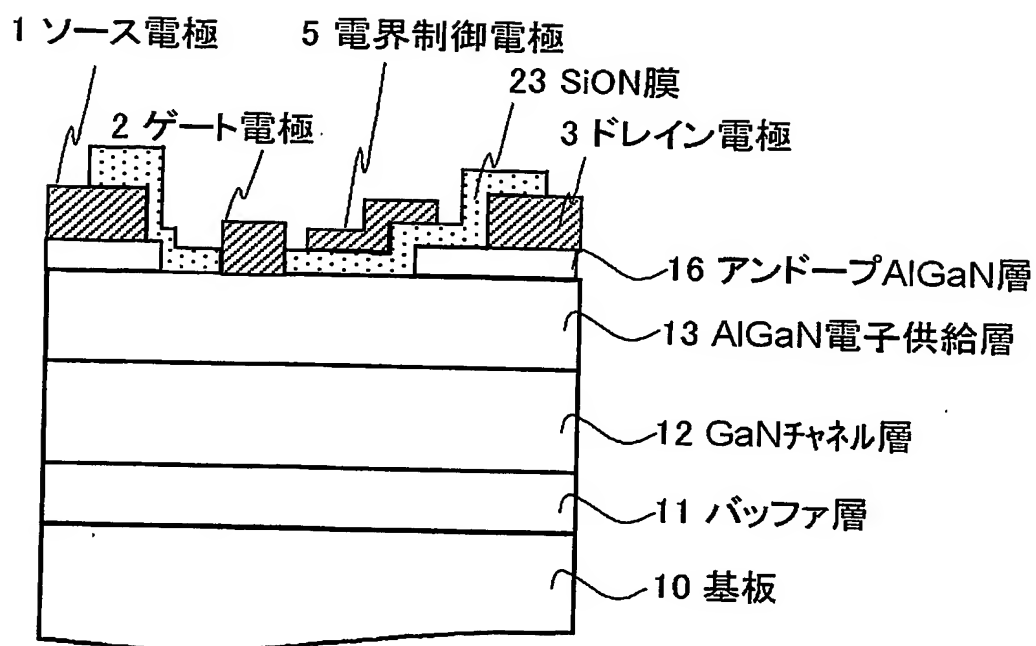
【図 13】



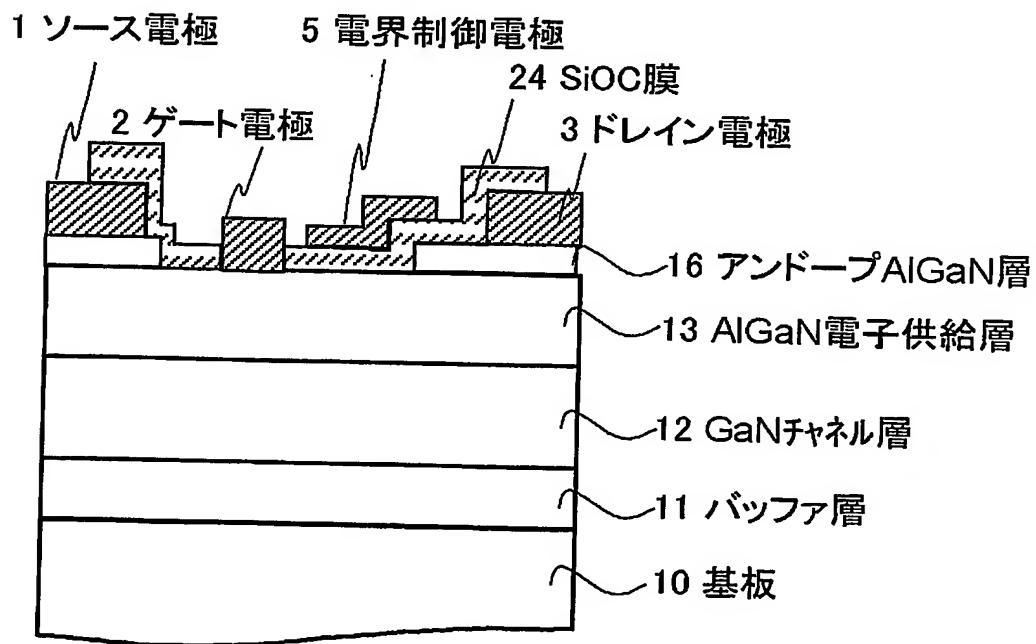
【図 14】



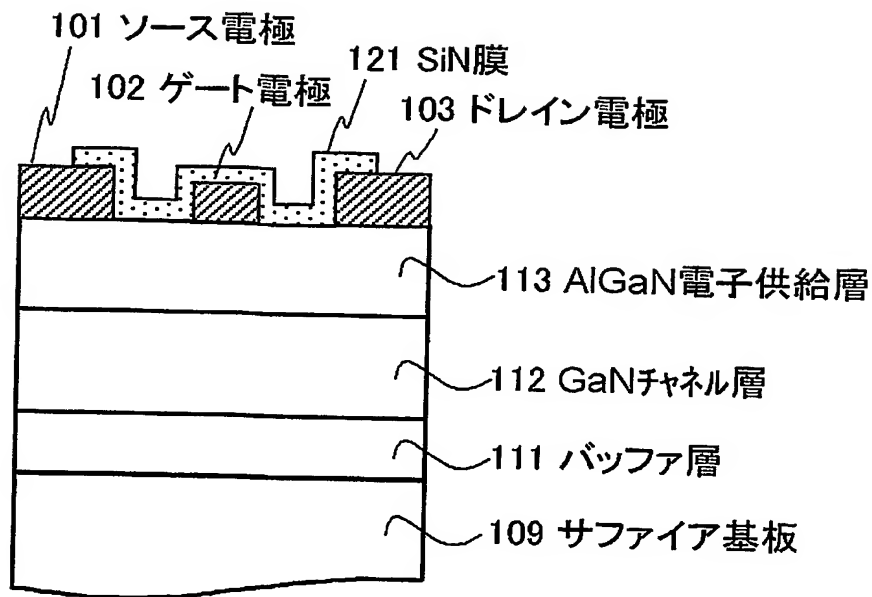
【図 15】



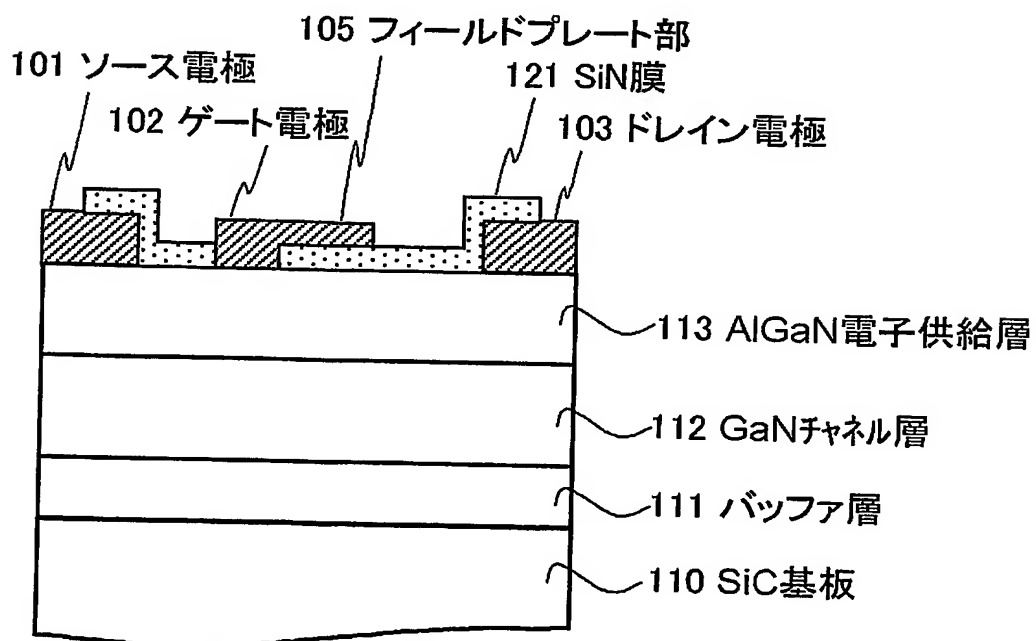
【図 16】



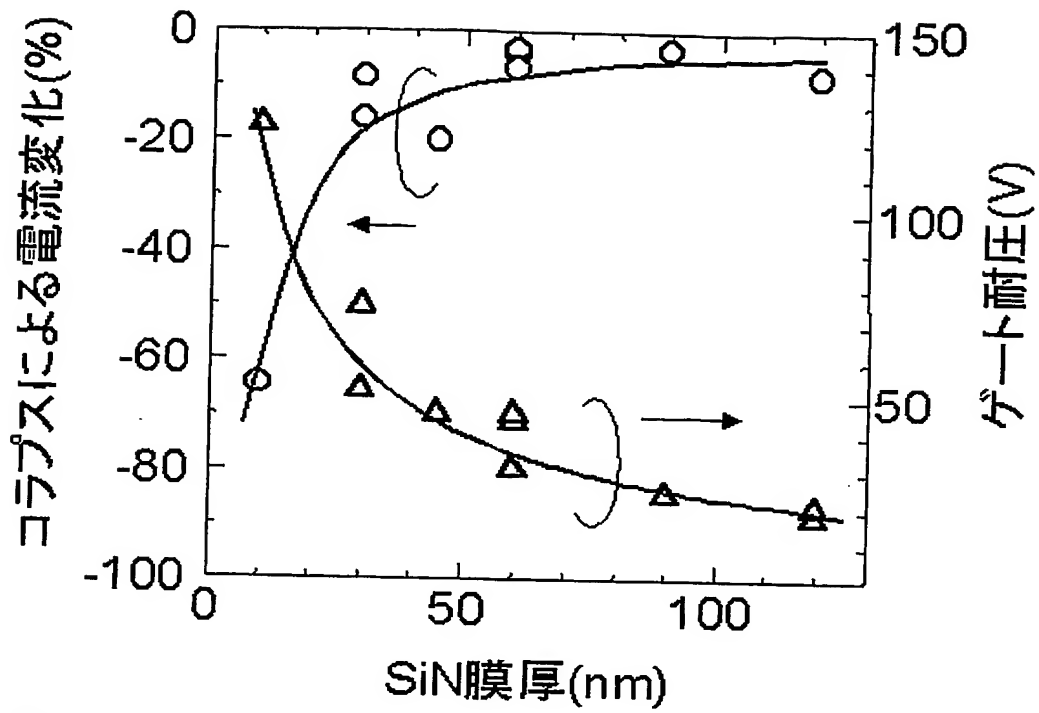
【図 17】



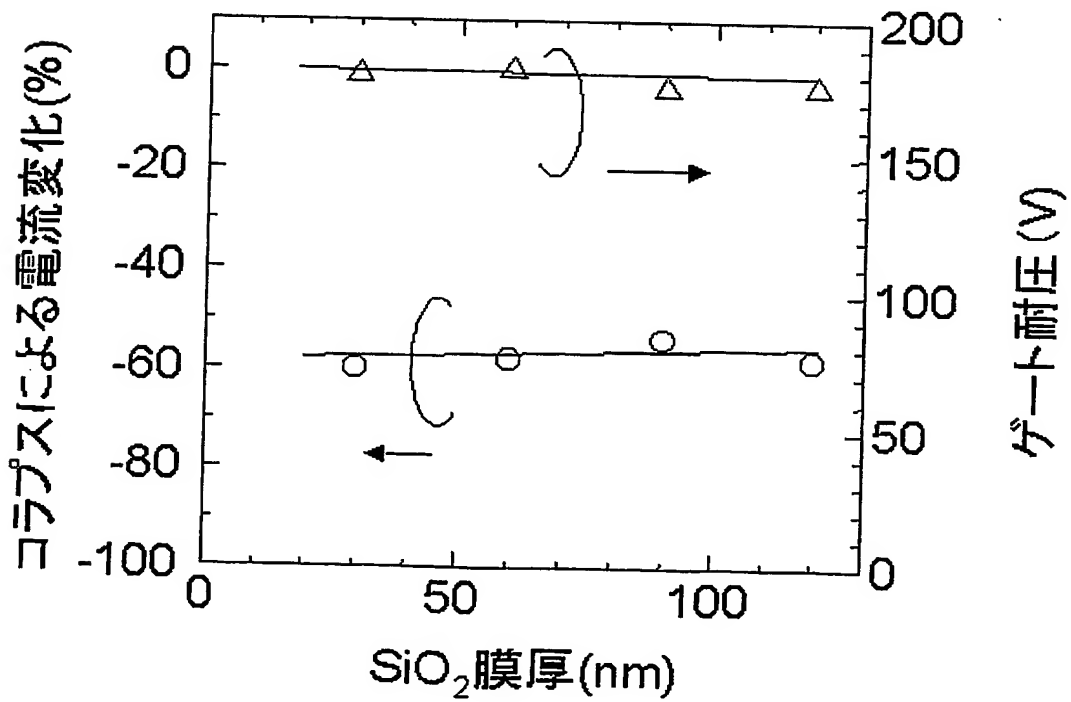
【図 18】



【図 19】

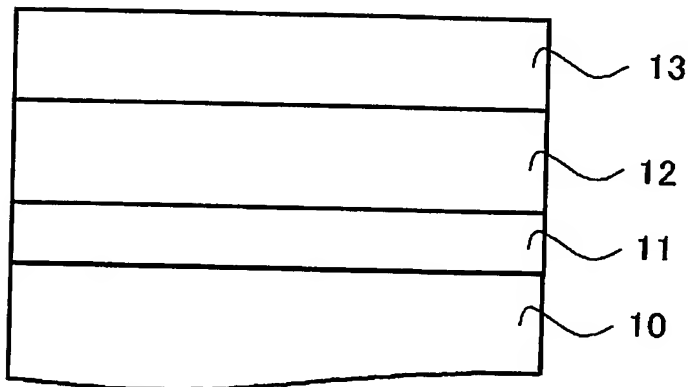


【図 20】

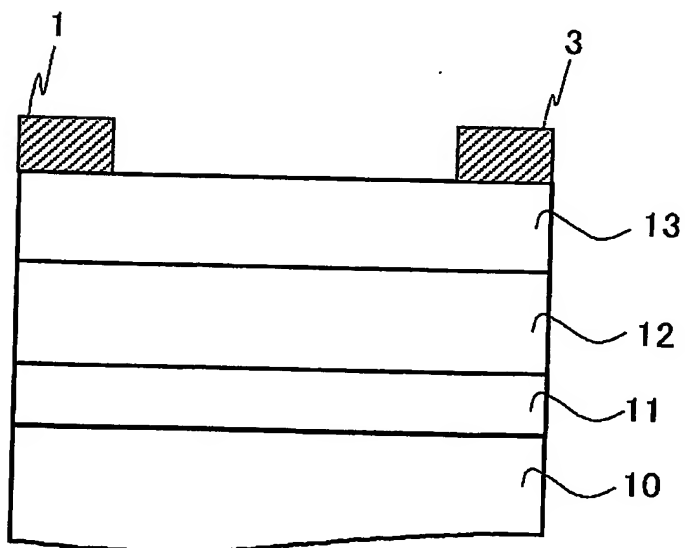


【図 21】

- | | |
|----------|-----------------------|
| 1 ソース電極 | 12 GaNチャネル層 |
| 2 ゲート電極 | 13 AlGaN電子供給層 |
| 3 ドレイン電極 | 21 SiN膜 |
| 5 電界制御電極 | 22 SiO ₂ 膜 |
| 10 基板 | 30 フォトリソグ |
| 11 バッファ層 | 31 ゲート金属 |

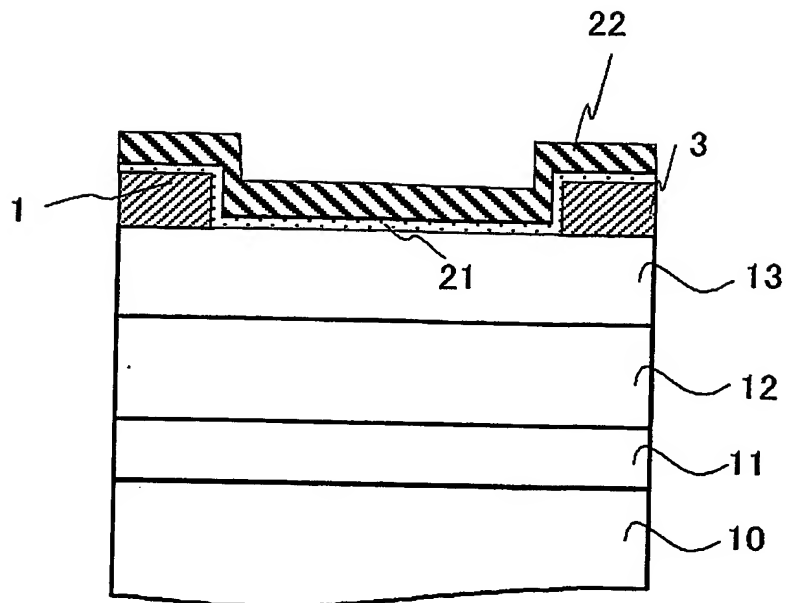


(a) プロセス前

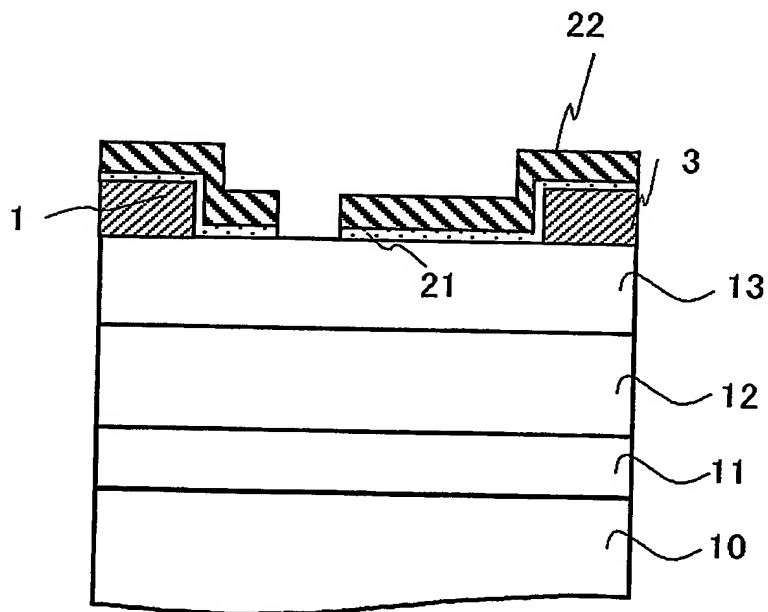


(b) オーミック形成

【図 22】

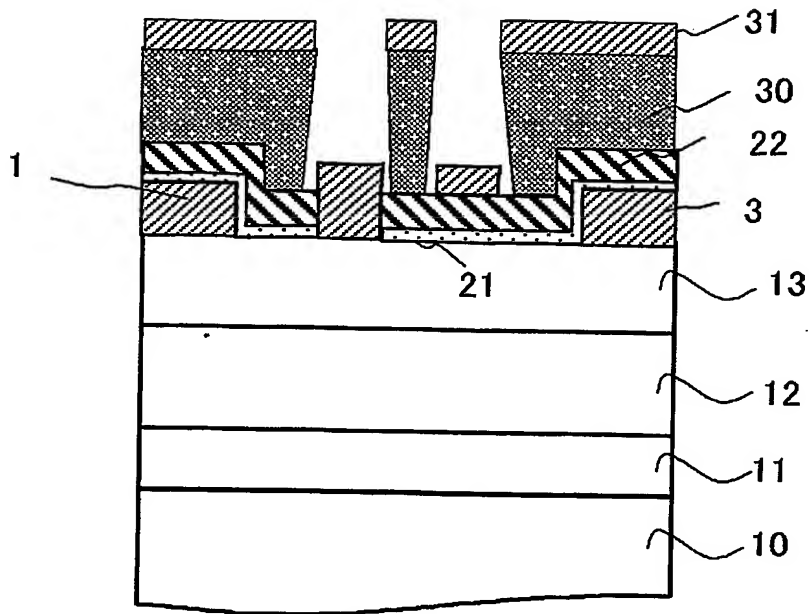


(c)保護膜成長

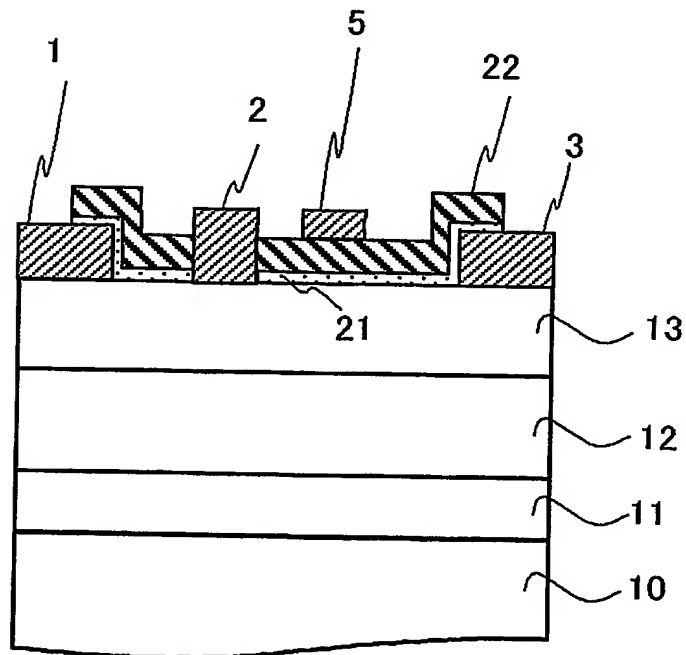


(d)ゲート開口

【図 23】



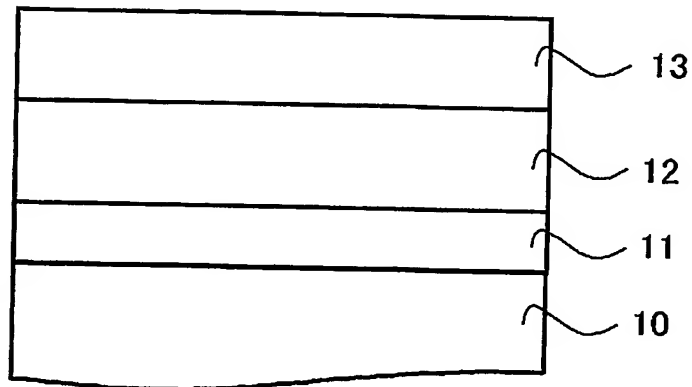
(e)ゲート蒸着



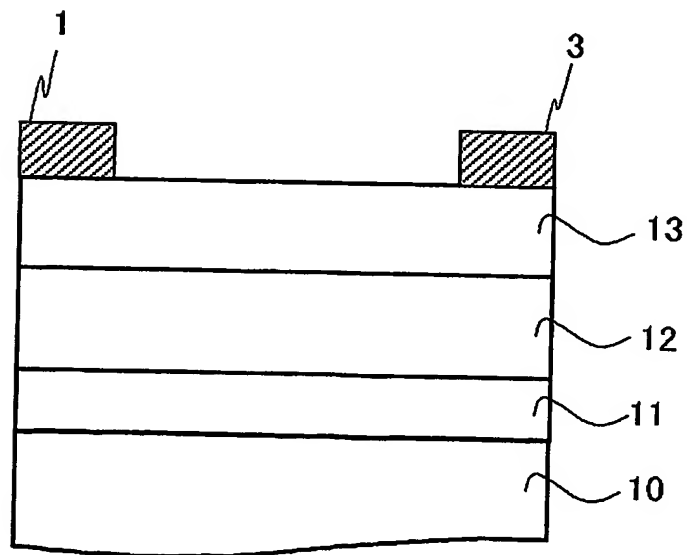
(f)完成図

【図 24】

- | | |
|----------|-----------------------|
| 1 ソース電極 | 12 GaNチャネル |
| 2 ゲート電極 | 13 AlGaN電子供給層 |
| 3 ドレイン電極 | 21 SiN膜 |
| 5 電界制御電極 | 22 SiO ₂ 膜 |
| 10 基板 | 30 フォトリソスト |
| 11 バッファ層 | 31 ゲート金属 |

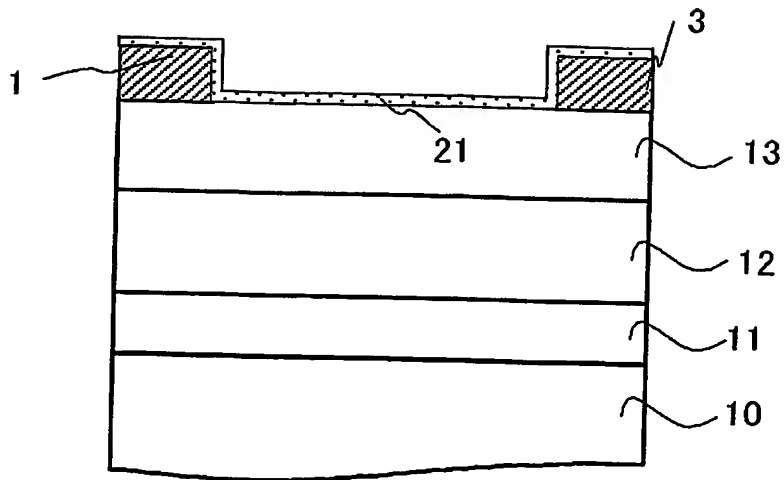


(a)プロセス前

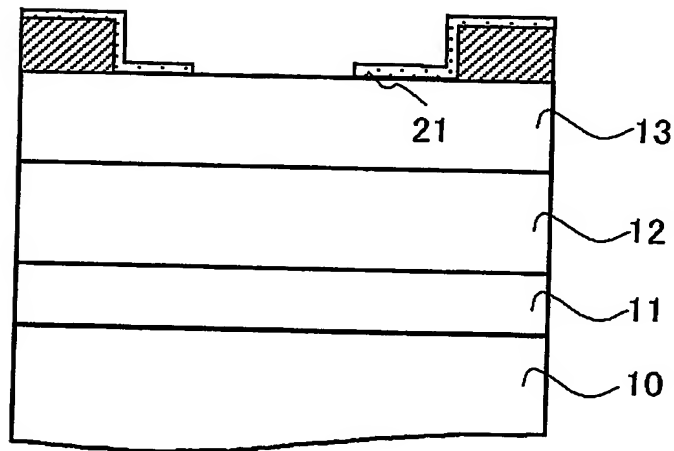


(b)オーミック形成

【図 25】

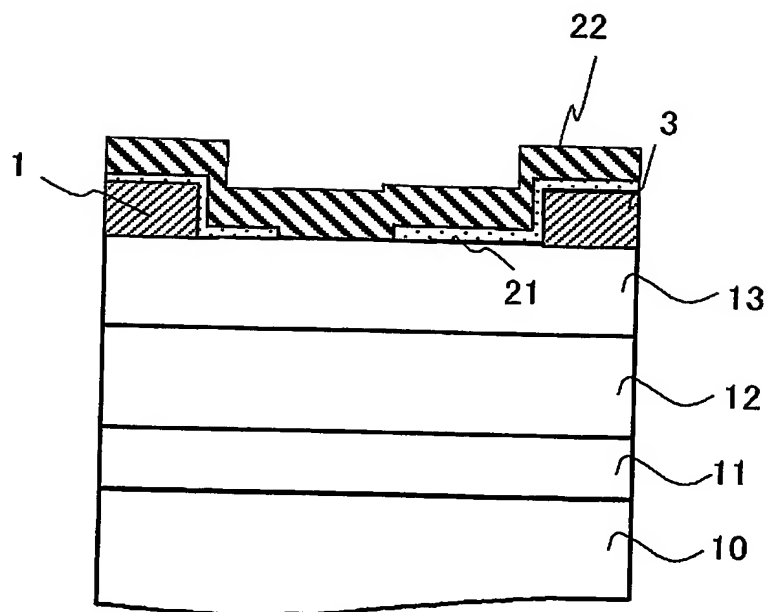


(c) SiN膜成長

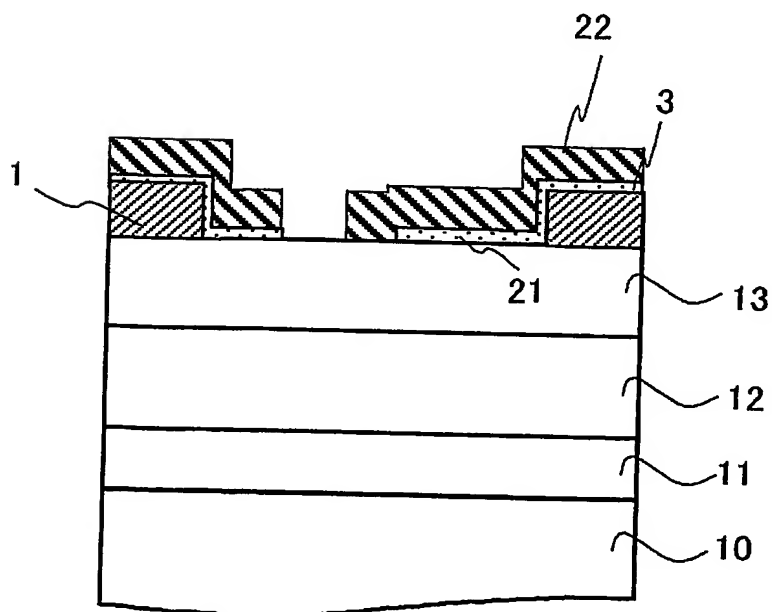


(d) SiN膜開口

【図 26】

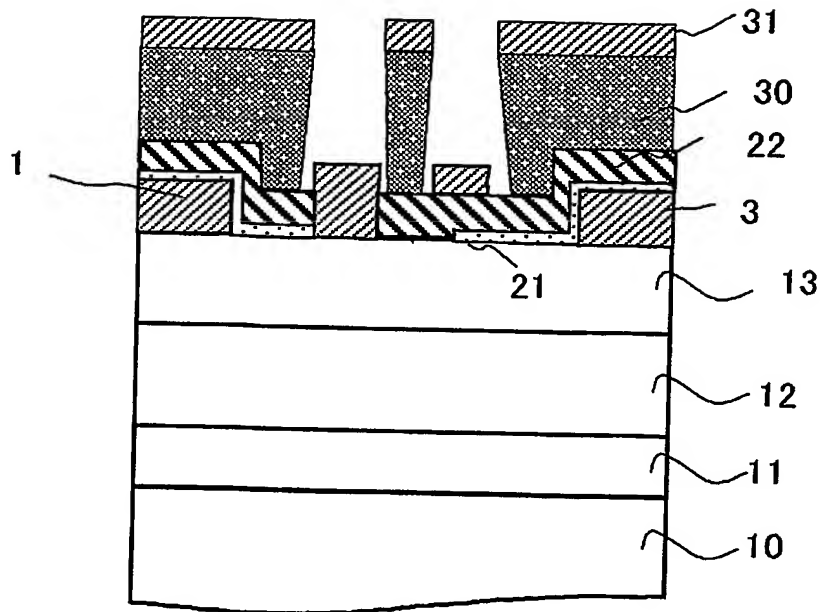


(e) SiO_2 膜成長

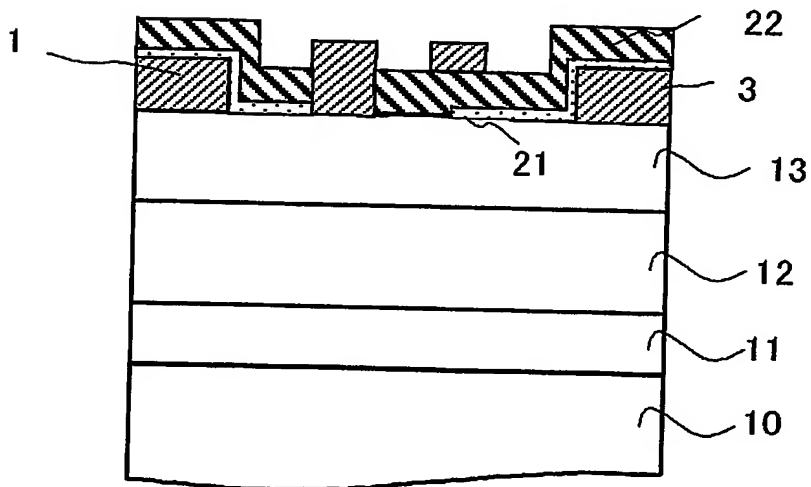


(f) SiO_2 膜開口
(ゲート開口)

【図 27】

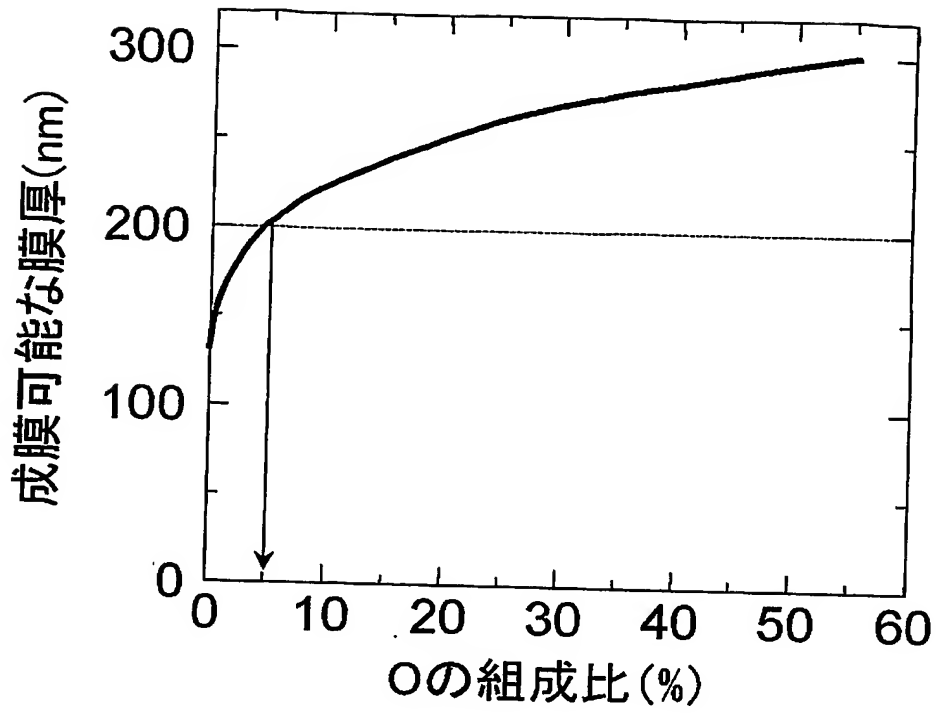


(g)ゲート蒸着

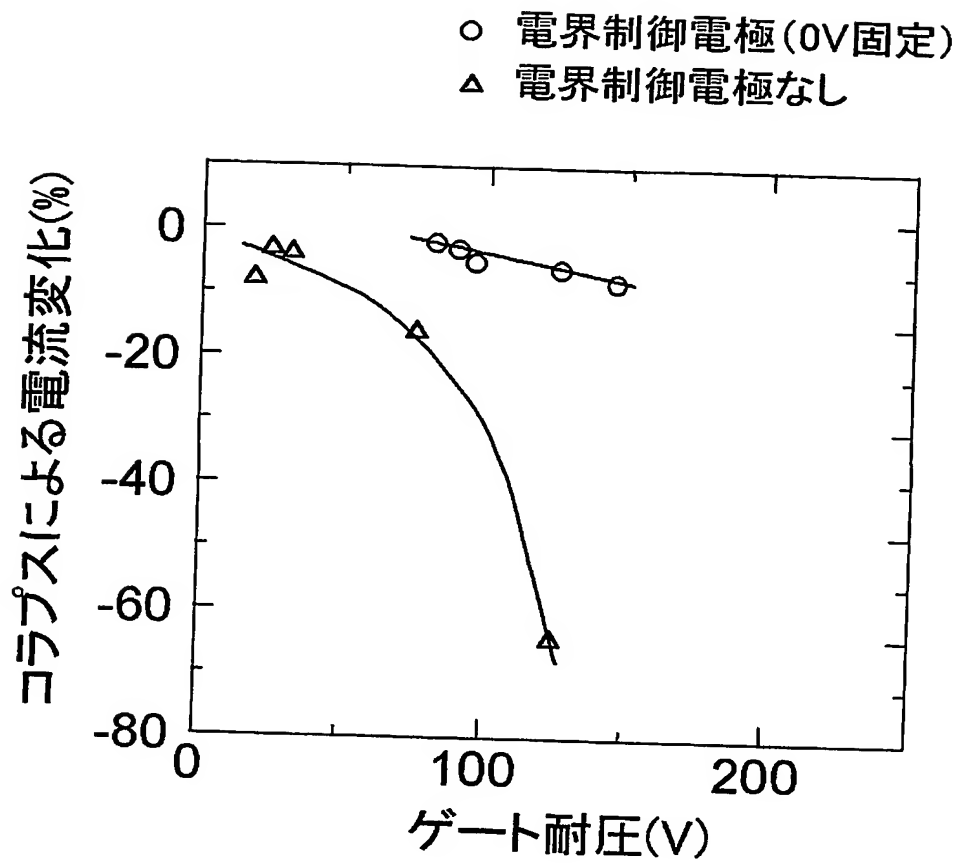


(h)完成図

【図 28】

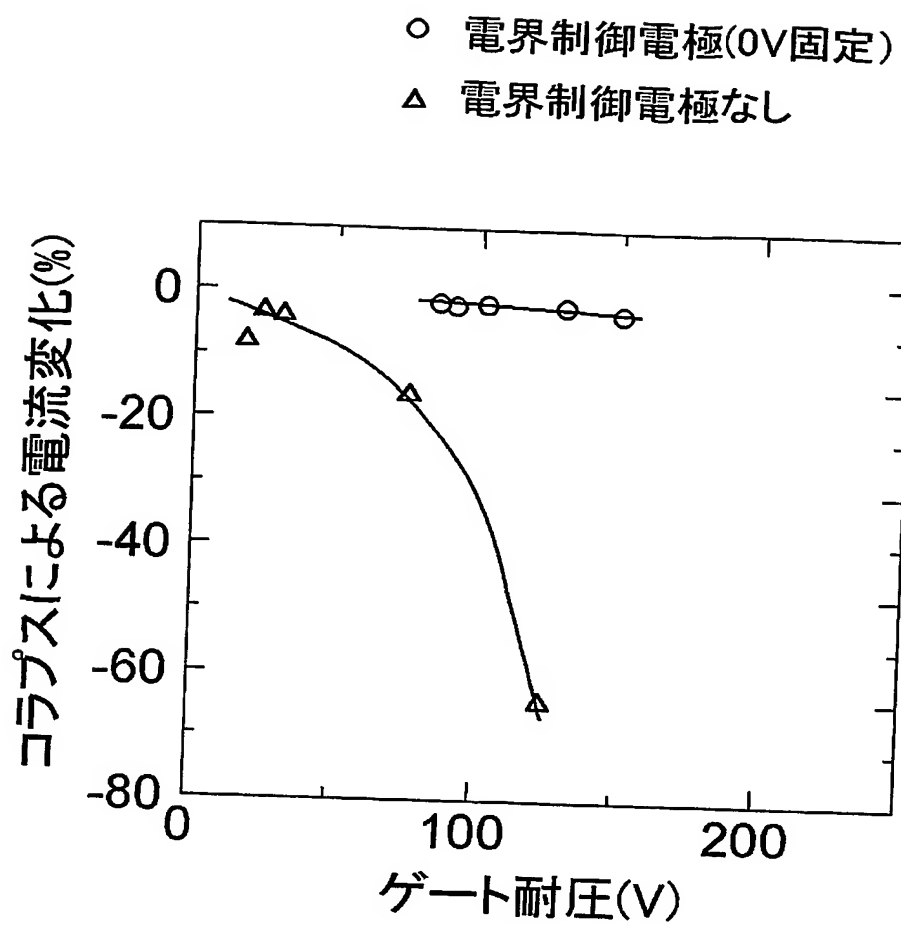


【図 29】



絶縁膜: SiN単層
電界制御電極寸法: $0.5\mu\text{m}$
ゲート-電界制御電極間距離: $0.5\mu\text{m}$

【図 30】

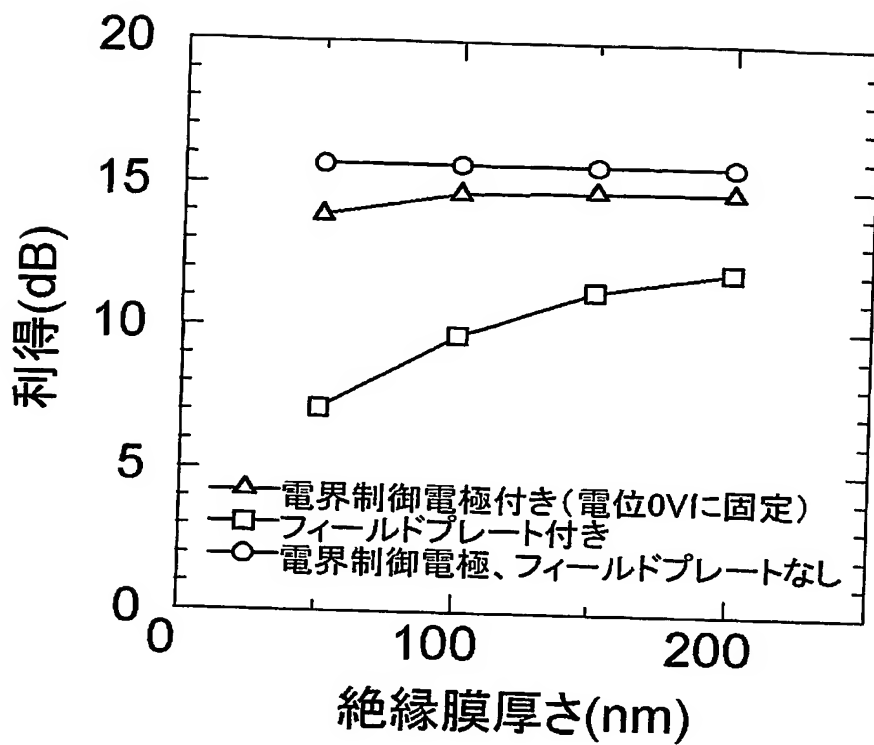


絶縁膜: SiN単層

電界制御電極寸法: $1.0\mu\text{m}$

ゲート-電界制御電極間距離: $0.5\mu\text{m}$

【図 3 1】



絶縁膜: SiN 単層

FP 長: $1\mu\text{m}$

電界制御電極寸法: $0.5\mu\text{m}$

ゲート-電界制御電極間距離: $0.5\mu\text{m}$

【書類名】 要約書

【要約】

【課題】 コラプスおよびゲート耐圧のバランスに優れたトランジスタを提供する。

【解決手段】 ゲート電極 2 およびドレイン電極 3 の間に、電界制御電極 5 を形成する。電界制御電極 5 の下に、SiN 膜 21 および SiO₂ 膜 22 からなる積層膜を形成する。SiN 膜 21 は AlGaIn 電子供給層 13 の表面を覆うように形成する。

【選択図】 図 1

特願2003-000842

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社